

# Design and Evaluation of a High Quality Hybrid Current Multilevel Converter

Nataniel Rigo, *Student Member, IEEE*, Dalton L. R. Vidor, *Student Member, IEEE*, José. R. Pinheiro, *Member, IEEE*

**Abstract**— This paper presents and discusses the design and evaluation a switched-linear current converter with its output voltage controlled suitable to high power applications. The proposed structure allows to build from a voltage source inverter that combines different semiconductors, operating at different frequencies, associated with a linear amplifier, in order to increase the output signal quality of its processed power without to penalize the volume of the passive filters. The system feedback control of the output voltage, eliminate ripples and its harmonics, sharing the current among each inverter leg, setting set individually current levels and its limits, defines operating ranges for each inverter, and mitigating the current which flows among each inverter branch. This proposal establishes an expandable configuration which operates even under failure in either converter and minimizes the total losses in to the linear converter. In addition, the structure allows to suppress the output filter capacitor. The system combination of the linear amplifier produces excellent output signal quality and fast dynamic responses. Examples of a projects are made performed, simulated and built to present the behavior and characteristics of the proposed hybrid converter.

**Index Terms** — DC-AC Converter, High-quality converters, Hybrid converter, Parallel converter, Power electronics.

## I. INTRODUÇÃO

Conversores chaveados produzem ondulações ou harmônicas na tensão ou corrente de saída, pois os filtros passivos não as eliminam completamente [1]. A fim de reduzir as ondulações de tensão ou ondulações de corrente técnicas ativas como conversores multiníveis, conversores híbridos, filtros ativos e técnicas de modulação otimizados foram apresentadas [1-15]. Alguns trabalhos científicos abordam o projeto adequado dos filtros passivos [8, 16-17]. Assim, quando filtros passivos para atenuar as baixas frequências são utilizados, estes induzem respostas dinâmicas lentas.

Em aplicações como calibração, caracterização de materiais, ressonância magnética, agitadores, vibradores, amplificadores e outros equipamentos especializados onde são necessários sinais de saída de alta fidelidade para criar as condições ideais de teste e não interferir na operação do equipamento testado [18]. Além dessas aplicações, acionamentos de máquinas de alta potência, que usam conversores chaveados, podem causar danos aos rolamentos da máquina [19].

Para minimizar as ondulações e aumentar a potência total,

N. M. Rigo, UFSM, Santa Maria, Rio Grande do Sul, Brasil; UFBA, Salvador, Brasil, (e-mail: natanielrigo@gmail.com).

D. L. R. Vidor, UFSM, Santa Maria, Rio Grande do Sul, Brasil; UFBA, Salvador, Brasil, (e-mail: dvidor@cpovo.net).

J. R. Pinheiro, UFSM, Santa Maria, Rio Grande do Sul, Brasil; UFBA, Salvador, Brasil, (e-mail:jreines@gepoc.ufsm.br).

estruturas em paralelo foram apresentadas em [1], [5], [7] e [11]. Essas estruturas permitem que o conjunto de conversores em paralelo opere em alta potência, que o sistema possa ser reconfigurado após uma falha de algum módulo e que possam utilizar semicondutores de menor capacidade em comparação com os conversores sem associações paralelas. Entretanto, as estruturas paralelas apresentam desafios na divisão das correntes e na forma de evitar correntes circulantes entre conversores. Para executar a divisão da corrente entre os conversores associados, diferentes propostas que utilizam indutâncias acopladas, realimentação e controle das correntes e diferentes esquemas de modulação são apresentados em publicações especializadas [11-13].

A redução na ondulação do sinal de saída também pode ser alcançada empregando conversores multiníveis em tensão [12-13]. A estrutura multinível em tensão é baseada na divisão da tensão de barramento a fim de reduzir a ondulação de saída e processar altas potências. De forma similar, mas operando em corrente, os dispositivos, células, braços ou mesmo conversores paralelos também são uma alternativa para elevar a potência processada, podendo ainda mitigar as ondulações de saída [10-11].

Este trabalho apresenta um Conversor Híbrido Multinível em Corrente denominado HCMC (Hybrid Current Multilevel Converter). A estrutura atende as aplicações citadas, permite a operação em alta potência e alta eficiência, elimina a ondulação de saída e produz respostas dinâmicas rápidas. Estas características são obtidas a partir da utilização e associações de diferentes conversores e, bem como de diferentes tecnologias de semicondutores. A fim de utilizar adequadamente diferentes tecnologias de semicondutores, diferentes frequências de comutação, níveis de potência devem ser viabilizados.

O termo dinâmico se refere aos níveis de corrente que cada conversor chaveado associado sintetiza, onde os níveis não possuem valores fixos. Estes níveis são ajustados e variados adequadamente pelo controle de forma a atender a demanda de carga. Além de controlar a estrutura e ser modular, o controle realiza a divisão de corrente, minimiza as correntes circulantes, elimina os harmônicos e as ondulações, limita a corrente em cada módulo e minimiza as perdas do amplificador linear. O sistema proposto neste trabalho elimina o capacitor de filtro de saída.

## II. CONVERSORES PARALELOS

### A. Conversores Chaveados em Paralelo

A associação de conversores chaveados em paralelo é conhecida e abordada em trabalhos encontrados na literatura [1], [5], [7] e [11]. Alguns trabalhos utilizam semicondutores

de naturezas diferentes como IGBTs, MOSFETs, Transistores bipolares de junção, dentre outras possibilidades [1], [5-7]. Nesse caso, é comum haver um conversor principal que processa quase toda a energia e outro auxiliar cujo objetivo é minimizar ondulações e melhorar a qualidade do sinal de saída. Uma estrutura exemplo paralela chaveada é mostrada na Fig. 1 como descrito acima [5]. Na proposta do trabalho citado, os conversores em meia-ponte operam com frequências distintas (AF – Alta Frequência, MF – Média Frequência e BF – Baixa Frequência).

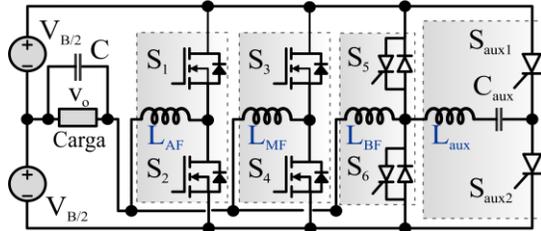


Fig. 1. Estrutura exemplo *Half-Brigde* em paralelo [5].

**B. Conversor Paralelo Híbrido Chaveado-Linear**

A associação de conversores chaveados e amplificadores lineares vem sendo abordada na literatura especializada [2-7]. Estas associações têm como principal vantagem a produção de sinais de saída com baixas Taxas de Distorção Harmônica (THD < 1%), respostas dinâmicas rápidas e resposta em ampla banda de frequência.

A estratégia de controle utilizada na associação faz com que o amplificador linear imponha a tensão de saída com elevada qualidade. Além disto, esta estratégia faz com que os conversores chaveados imponham a corrente de saída, reduzindo a corrente sobre o amplificador linear. Assim, as perdas são reduzidas, as ondulações e as harmônicas no sinal do saída são eliminadas. A associação de um conversor chaveado meia ponte e um amplificador linear classe AB em paralelo é mostrada na Fig.2 [5].

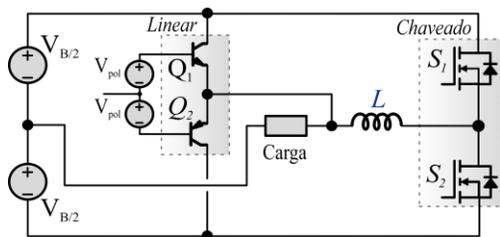


Fig. 2. Associação paralela Chaveado-Linear [5].

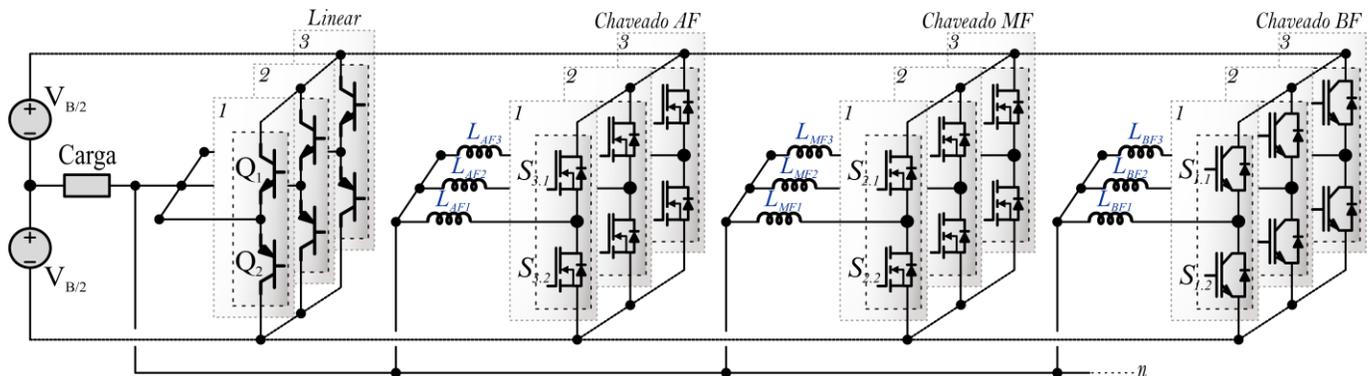


Fig. 3. Estrutura híbrida chaveada-linear paralela genérica proposta.

**C. Associações Paralelas Híbridas Chaveadas-Lineares**

A estrutura proposta neste trabalho, que combina a associação paralela de diferentes tecnologias de semicondutores, que operam em diferentes frequências e alteram os níveis de correntes de forma dinâmica, conforme a demanda de carga, é apresentada na Fig.3.

A fim de projetar esta estrutura é necessário observar as limitações de cada dispositivo ao selecioná-los. Os semicondutores de alta corrente geralmente operam em baixas frequências (Chaveado BF – frequências na ordem de unidades de kHz) e devem ser controlados para atender esse requisito. Semicondutores com tempos pequenos de comutação podem operar em médias (Chaveado MF – frequências na ordem de dezenas de kHz) ou altas frequências (Chaveado AF - frequências na ordem de centenas ou mais de kHz) e são adequados para atenuar ondulações. Além disso, esses conversores podem ser projetados para atender sobrecorrentes ou falhas em outros conversores da estrutura. O amplificador linear é assistido em corrente pelos n conversores chaveados a fim de mitigar as perdas globais da estrutura. Outro aspecto a ser observado para minimizar as perdas é a necessidade de minimizar ou eliminar as correntes circulantes entre conversores chaveados.

**III. SISTEMA DE CONTROLE DA ASSOCIAÇÃO GENÉRICA PARALELA HÍBRIDA - HCMC**

**A. Controle de Tensão de Saída.**

O conversor híbrido e seus blocos de controle são apresentados da Fig.4. Os amplificadores lineares são projetados para produzir um ganho elevado em malha aberta. Ao adicionar a realimentação, o amplificador linear reduz o ganho e reproduz a tensão de referência na saída [20]. Na associação paralela chaveado-linear, o amplificador linear é responsável por sintetizar a tensão de saída. Assim, o controle de tensão da estrutura híbrida é realizado no amplificador linear que produz a alta qualidade desejada na forma de onda de tensão.

**B. Controle dos Conversores Chaveados**

A fim de reduzir as perdas, a maior parcela de corrente (potência) demandada pela carga é fornecida pelos conversores chaveados de forma dinâmica, e assim a corrente do amplificador linear é minimizada. Portanto, na presente proposta, os conversores chaveados são controlados em

corrente de forma a atender à exigência demanda pela carga. Com o objetivo de padronizar as técnicas de controle e comando os seguintes requisitos devem ser atendidos:

- ✓ Minimizar a corrente sobre o amplificador linear;
- ✓ Impor as correntes mais elevadas nos conversores que operam em baixa frequência, onde os dispositivos semicondutores de baixas perdas de condução são apropriados;
- ✓ Dividir a corrente de carga nos conversores chaveados associados em paralelo a fim de atingir potências elevadas;
- ✓ Permitir que os conversores de média e alta frequência assumam correntes em situações de sobrecarga, até o limite definido conforme cada conversor;
- ✓ Utilizar os conversores de alta frequência para minimizar a ondulação da corrente remanescente dos outros conversores chaveados, reduzindo a corrente que circula pelo amplificador linear;
- ✓ Minimizar e/ou eliminar as correntes circulantes entre conversores chaveados, a fim de reduzir perdas;
- ✓ Permitir a seleção da faixa de corrente que cada conversor chaveado poderá operar;
- ✓ Limitar a corrente no amplificador linear para transitórios e degraus de carga, conforme a necessidade de cada projeto;
- ✓ Apresentar uma estrutura que possa ser expandida e modularizada.

O diagrama de blocos do sistema de comando e controle proposto para essa estrutura é apresentado na Fig.4. O bloco de controle dos conversores meia-ponte de qualquer frequência é padronizado e será chamado de bloco controle padrão. Esta padronização agrega facilidade na ampliação do sistema. Cada

bloco controle padrão possui parâmetros de entrada (E1 a E4) a fim de permitir a operação do conversor meia-ponte controlado em condições adequadas à sua funcionalidade, característica e limites.

O controle de corrente dos conversores chaveados é baseado em assistir em corrente o amplificador linear. O bloco do controlador PI compara a referência nula ( $I_{ref}$ ) com a corrente do amplificador linear ( $I_{linear}$ ), gerando em sua saída o valor correspondente da corrente de carga ( $I_{total}$ ), ou seja, a corrente requerida para anular a corrente sobre o amplificador linear. Assim, o conjunto de conversores chaveados em paralelo fornecem a corrente de carga e tornam praticamente nula a corrente sobre o amplificador linear. Para o projeto do controlador PI, um polo na origem é alocado de forma a produzir altos ganhos em baixas frequências e um zero, próximo à frequência de chaveamento do conversor de alta frequência, é inserido a fim de produzir ganho unitário a partir desta frequência, mantendo o erro e a histerese sem alterações significativas. Diferentemente de um controlador PI ou PID projetado para conversores que utilizam modulação PWM, o controlador estabelecido para esta aplicação deve observar as ondulações a fim de mitigá-las.

O ganho elevado em baixa frequência é necessário para reproduzir da melhor forma possível o sinal de corrente necessário na saída, incluindo ondulações de baixas frequências. O ganho unitário a partir de uma determinada frequência permite que os controladores por histerese mantenham a corrente na histerese definida e a corrente remanescente de alta frequência é absorvida pelo amplificador linear pois este impõe a tensão de saída.

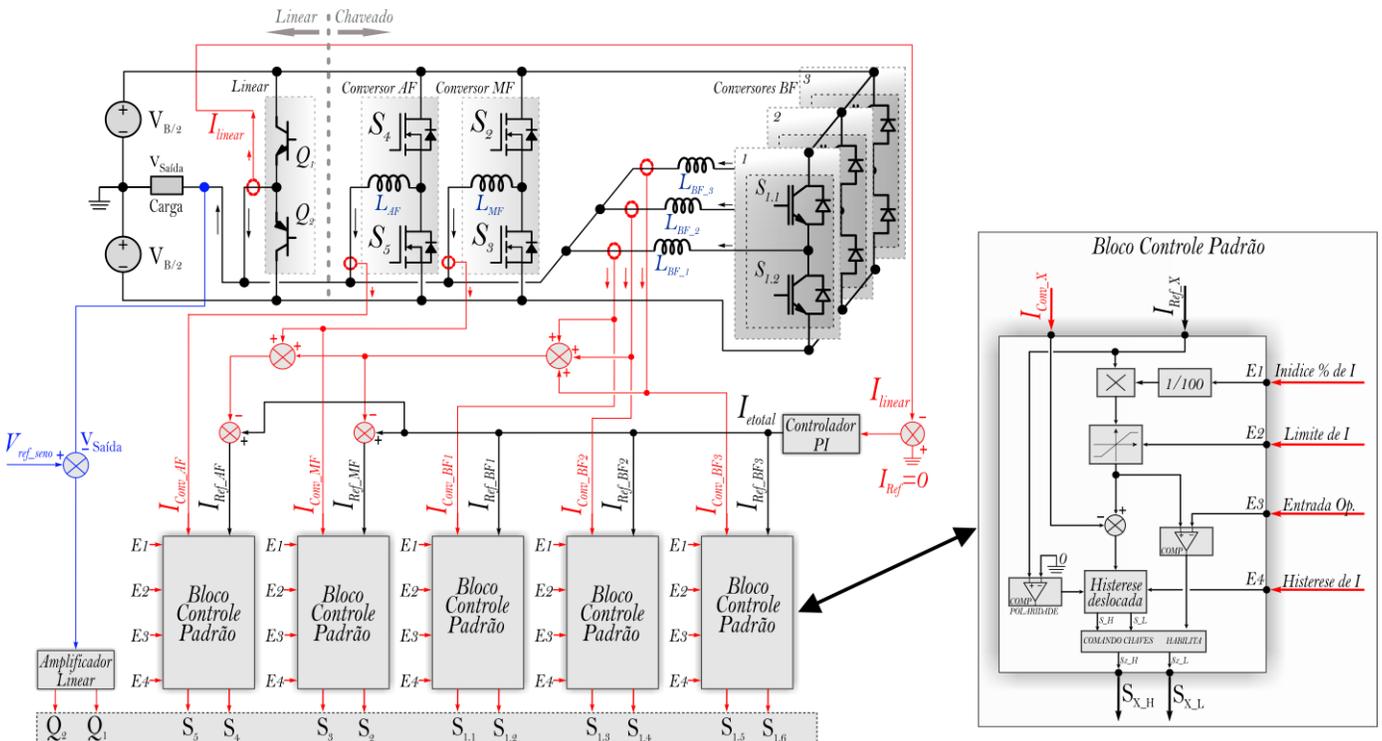


Fig. 4. Diagrama em blocos do controle e comando da estrutura.

A referência de corrente de entrada ( $I_{ref\_BFx}$ ) de cada conversor de mais baixa frequência (BF) é o erro de corrente ( $I_{etotal}$ ), a fim de que assumam a maior parcela da corrente de carga.

O erro de corrente ( $I_{etotal}$ ) é uma imagem da corrente necessária à carga a fim de minimizar a corrente no amplificador linear.

Para sintetizar maiores potências, os conversores de mesma tecnologia podem ser inseridos em paralelo, dividindo a corrente total por “ $n$ ” módulos, dependendo do número de conversores associados.

Além disso, é possível ajustar o percentual da corrente total manipulada por cada módulo no parâmetro de entrada do bloco (E1 – Índice percentual de corrente).

Este ajuste permite que, mesmo operando em baixa frequência, diferentes dispositivos, com capacidades de corrente diferentes, sejam utilizados. Cada conversor meia-ponte opera com a capacidade de corrente parametrizada neste bloco conforme suas características.

A estratégia de projeto para os módulos que operam em média frequência (MF) é minimizar a ondulação da corrente remanescente dos módulos de baixa frequência (BF), contribuir na dinâmica do conjunto e atender casos de sobrecargas se os conversores de mais baixa frequência atingirem seu limite de corrente. A fim de que isso ocorra, a corrente de referência deste conversor ( $I_{ref\_MF}$ ) é o erro de corrente ( $I_{etotal}$ ) subtraído da soma das correntes produzidas pelos conversores de baixa frequência. Este valor é o resíduo da corrente necessária à carga não atendida pelos conversores de baixa frequência, incluindo ondulações de chaveamento, sobrecargas e transitórios.

Os módulos que operam em alta frequência (AF), seguem as mesmas regras apresentadas para o módulo de média frequência, ou seja, minimizar ainda mais as ondulações de corrente remanescentes, contribuir na dinâmica do conjunto e atender sobrecargas. A corrente de referência deste conversor ( $I_{ref\_AF}$ ) é o erro de corrente ( $I_{etotal}$ ) subtraído da soma das correntes produzidas pelos conversores de baixa e média frequências. Da mesma forma, o valor de corrente de referência deste bloco é o resíduo de corrente não atendida pelos conversores de baixa e média frequências, incluindo ondulações de chaveamento, sobrecargas e transitórios.

O limite máximo de corrente de cada conversor é realizado no bloco controle padrão. Um limitador parametrizável (E2 – Limite de corrente) é aplicado à corrente de referência de cada bloco a fim de manter a corrente dentro de limites estabelecidos pelo projetista, conforme características dos semicondutores escolhidos para cada conversor meia-ponte.

No bloco controle padrão, o erro de corrente do conversor meia-ponte é determinado pela diferença entre a corrente de referência, já multiplicada pelo índice percentual e limitada conforme descrito acima, e a corrente do conversor controlado por este bloco. Esta corrente processada é a entrada de um bloco comparador com histerese. O valor da histerese de corrente é parametrizável por uma entrada externa ao bloco (E4 -  $I_{HIST}$  – Histerese de corrente) a fim de manter o bloco controle padrão aplicado a diferentes conversores meia-ponte operando em diferentes frequências.

Os comparadores com histerese foram implementados devido as suas rápidas respostas e a sua robustez. O sistema proposto utiliza conversores alimentados pela tensão do barramento e desta forma, todo o recurso de tensão (tensão de barramento subtraída das quedas de tensão) está disponível para levar as correntes da estrutura ao nível necessário, no menor tempo possível.

A corrente circulante entre conversores é observada quando algum conversor produz corrente com polaridade contrária à polaridade da corrente necessária à carga. A fim de evitar correntes circulantes entre conversores chaveados duas funções foram adicionadas. Uma entrada parametrizável (E3 – Entrada em operação) é definida em um valor acima do valor de histerese e habilita o conversor a operar somente em valores de corrente acima do valor de histerese.

A outra função implementada é o deslocamento da histerese. Esta função faz com que a histerese seja deslocada nos limites zero e  $I_{HIST}$  quando a polaridade da corrente de saída é negativa e zero e  $-I_{HIST}$  quando a polaridade da corrente de saída é positiva. Desta forma os conversores meia-ponte chaveados mantêm sempre um resíduo de corrente na mesma polaridade da corrente de saída. Apenas para correntes muito baixas existe alguma corrente circulante entre o conversor de alta frequência (AF) e o amplificador linear.

Outro ponto a ser destacado é que com pequenas diferenças nos níveis de histerese ou nas indutâncias dos conversores de mesma faixa de frequência (BF, MF ou AF) em paralelo obtêm-se correntes intercaladas para um sinal de referência senoidal. Esta técnica produz menores ondulações na corrente do barramento e redução de ondulações de correntes de saída remanescentes aplicadas aos demais conversores que operam em frequências mais altas ou no amplificador linear.

O amplificador linear foi projetado com um limitador de corrente no estágio de saída a fim de protegê-lo em transitórios ou curto-circuito na carga.

O conjunto de regras e procedimentos de projeto descritos anteriormente atendem a todos os requisitos listados e permitem que novos conversores sejam adicionados, apresentando-se como uma técnica genérica aplicada ao Conversor Híbrido Multinível Dinâmico Paralelo em Corrente - DMCPHC. Além disso, a estrutura descrita permite que, em caso de falha ou sobrecarga todos os conversores remanescentes supram a demanda de corrente até o nível limitado em cada módulo, preservando a funcionalidade do sistema e aumentando a confiabilidade.

O sinal de tensão de saída será degradado no que se refere às distorções somente se ocorrer uma falha ou limitação de corrente no amplificador linear. Mesmo em falha de conversores chaveados, em regime permanente, não haverá distorções no sinal de saída enquanto os conversores chaveados restantes não atingirem seus limites de corrente. Assim, a qualidade do sinal de tensão de saída é preservada enquanto a corrente demandada pela carga não produzir atuação dos limitadores de corrente de todos os conversores chaveados remanescentes e amplificador linear. Além disso, mesmo em transitórios de carga severos (0 a 100% da carga) o amplificador linear pode ser dimensionado para atender estas demandas sem

aumentar a distorção no sinal de tensão de saída e em caso de curto-circuito o sistema limita a corrente no somatório dos limites de corrente de todos os conversores chaveados e amplificador linear.

#### IV. ESTUDO DE CASO.

Um estudo de caso, ou exemplo de projeto de um inversor senoidal com potência de saída em 20 kVA e tensão de saída em 220V eficaz é realizado a seguir. Neste trabalho o objetivo é apresentar a estrutura do conversor e suas características. Portanto, algumas grandezas foram selecionadas de forma a avaliar a operação do sistema nestas condições. Uma metodologia de projeto estruturada será objeto de trabalhos futuros.

O conjunto estabelecido considera três conversores meia-ponte operando em baixa frequência (BF) e dimensionados para assumirem a totalidade da corrente de carga. Um conversor de média frequência (MF) é utilizado para minimizar a ondulação dos conversores de baixa frequência, contribuir para resposta dinâmica e assumir alguma sobrecarga ou falha em algum conversor chaveado do conjunto. Um conversor de alta frequência (AF) minimiza também as ondulações, com a premissa de mitigar as perdas sobre o amplificador linear.

As indutâncias são calculadas através de (1), apresentada a seguir:

$$L_{Conv} = \frac{V_B}{4 \cdot f_{chav} \cdot \Delta H_{Conv}} \quad (1)$$

onde:  $V_B$  é a tensão de barramento,  $f_{chav}$  é a frequência máxima de chaveamento e  $\Delta H_{conv}$  é o valor da histerese de corrente do conversor.

As frequências máximas de chaveamento são escolhidas conforme as características dos semicondutores selecionados para cada conversor chaveado meia-ponte. Já as histereses são dimensionadas de forma a produzir gradativamente redução das ondulações de corrente e limitar as perdas no amplificador linear.

A tensão de barramento é projetada para atender a tensão de saída máxima a ser sintetizada adicionando-se uma margem relativa às quedas de tensão nos dispositivos (foi adotada uma margem de aproximadamente 10%). Para o grupo de conversores que operam em baixa frequência e altas correntes, as chaves selecionadas são IGBTs. Considerando-se as características de tempos de comutação das chaves selecionadas, a frequência máxima de chaveamento ( $f_{BF}$ ) para este grupo é estabelecida em 5 kHz e a histerese de corrente ( $\Delta H_{BFx}$ ) é definida em 8.6 A, escolhida para este exemplo em valor menor do que 10% da corrente de pico máxima de saída. No conversor de frequência média (MF), as chaves do tipo MOSFET foram selecionadas. Para esses semicondutores a frequência máxima de chaveamento ( $f_{MF}$ ) foi projetada em 50 kHz. Já a histerese de corrente ( $\Delta H_{MF}$ ) foi projetada para ser a metade da utilizada pelos conversores de baixa frequência, ou seja, 4.3 A fim de reduzir a ondulação remanescente dos conversores de baixa frequência. Para o conversor de alta

frequência, as chaves selecionadas foram MOSFETs do tipo GaN, a frequência máxima de chaveamento ( $f_{AF}$ ) foi dimensionada em 250 kHz, a histerese ( $\Delta H_{AF}$ ) foi calculada em 3.3 A, conforme (2), a fim de estabelecer as perdas máximas sobre o amplificador linear em carga nominal.

$$\Delta H_{AF} = \frac{P_{Linear} * 8}{V_B} = 3.3 A \quad (2)$$

onde:  $P_{Linear}$  é a perda máxima no estágio de saída do amplificador linear e  $V_B$  é a tensão de barramento.

As perdas sobre o amplificador linear são resultantes da ondulação sobre o estágio de alta frequência, que são o resíduo remanescente dos conversores chaveados associados. As perdas sobre o amplificador linear foram calculadas considerando-se a forma de onda triangular de corrente sobre o amplificador linear e a tensão sobre o amplificador em cada ponto de chaveamento ( $V_B - V_{Saída}$ ). A fim de não penalizar a eficiência global da estrutura, os autores escolheram um valor de perdas menor do que 2% da potência nominal do conjunto (adotado 1.4% da potência nominal do sistema).

Os valores de entrada em operação de corrente (E3) dos conversores de baixa e média frequência são definidos de acordo com os valores estabelecidos de cada histerese, sendo um percentual acima (adotado 5 % acima da histerese  $I_{HIST}$ ) para evitar correntes circulantes, conforme exposto na seção anterior. O valor de entrada em operação de corrente (E3) do conversor de alta frequência é parametrizado em zero neste projeto, pois o conversor de alta frequência é o último estágio de redução da ondulação e opera em correntes próximas a zero.

Os índices percentuais de corrente (E1) são definidos inicialmente como 100 % quando não há conversores de mesma tecnologia (neste trabalho frequência de operação) em paralelo. Desta forma, o conversor de baixa frequência assumiria 100% da corrente de carga e os demais assumiriam 100% do resíduo ou ondulação de corrente remanescente. Essa é uma das estratégias possíveis, porque definir uma divisão da corrente de carga total em percentuais diferentes para cada conversor também é possível.

No presente trabalho foram utilizados três conversores em paralelo com operação em baixa frequência, então os índices percentuais de corrente dos conversores de baixa frequência foram definidos em 33.3%. Nos demais (MF e AF) este índice é 100%.

Os limites de corrente (E2) de cada conversor devem ser definidos a partir das correntes máximas de cada chave semicondutora. Na simulação os valores adotados permitem que as chaves dos conversores BF assumam a corrente de carga e os demais a ondulação e alguma sobrecarga, conforme mencionado anteriormente.

Os valores projetados para a estrutura são apresentados na Tabela 1, atendendo as premissas abordadas anteriormente.

O dimensionamento do controlador PI segue as premissas descritas na seção anterior: Um polo na origem e um zero é alocado próximo à frequência de chaveamento do conversor de alta frequência. Os valores utilizados são: constante proporcional  $P = 1$  e constante de integração  $I = 1 \cdot 10^5$ .

TABELA I  
PARÂMETROS DO CONVERSOR SIMULADO

PARÂMETROS	DADOS
Tensão Barramento	$V_B = 680 \text{ Vcc}$
Tensão de saída	$V_{Saída} = 220 \text{ Vef}$
Potência de saída	$P_{Saída} = 20 \text{ kVA}$
Indutância LBFx	$L_{BFx} = 3.97 \text{ mH}$
Indutância LMFx	$L_{MF} = 793 \text{ } \mu\text{H}$
Indutância LAFx	$L_{AF} = 206 \text{ } \mu\text{H}$
Índice Percentual de Corrente BF	$E1 = 33.3\%$
Índice Percentual de Corrente MF	$E1 = 100\%$
Índice Percentual de Corrente AF	$E1 = 100\%$
Limite corrente BFx	$E2 = I_{limBFx} = 45 \text{ A}$
Limite corrente MF	$E2 = I_{limMF} = 35 \text{ A}$
Limite corrente AF	$E2 = I_{limAF} = 20 \text{ A}$
Entrada em Operação BF	$E3 = 9.0 \text{ A}$
Entrada em Operação MF	$E3 = 4.5 \text{ A}$
Entrada em Operação AF	$E3 = 0 \text{ A}$
Histerese Conversor BF	$E4 = \Delta H_{BFx} = 8.6 \text{ A}$
Histerese Conversor MF	$E4 = \Delta H_{MF} = 4.3 \text{ A}$
Histerese Conversor AF	$E4 = \Delta H_{AF} = 3.3 \text{ A}$

## V. RESULTADOS DE SIMULAÇÃO

Os resultados de simulação da estrutura são apresentados na Fig. 5. A tensão e a corrente de saída são apresentadas na Fig. 5.a, onde a eliminação das ondulações nos dois sinais é observada, as correntes dos conversores de baixa frequência (LF) na Fig. 5.b, média frequência (MF) e de alta frequência (HF) são mostradas na Fig. 5.c. A corrente no amplificador linear é mostrada na Fig. 5.d. Esta corrente anula ondulação indesejada no sinal de saída e elimina a necessidade de capacitância de filtro de saída presentes em conversores com filtro LC.

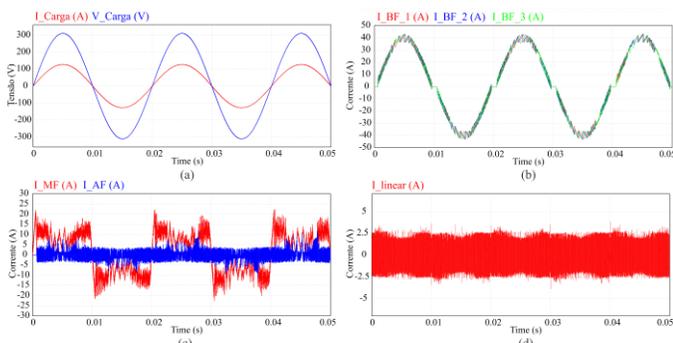


Fig. 5: Formas de ondas de corrente e tensão simuladas com carga resistiva de 20 kW. a) Tensão e corrente de carga; b) Correntes de saída dos conversores que operam em baixa frequência; c) Correntes de saída dos conversores que operam em média e alta frequência; e d) Corrente de saída do amplificador linear.

Nas Fig. 6.a e 6.b são apresentados os detalhes das correntes dos conversores e do amplificador linear na partida à plena carga sob tensão máxima ( $90^\circ$ ). Observam-se os sentidos das correntes de cada conversor na mesma polaridade da corrente de saída, eliminando as correntes circulantes. Os detalhes das faixas de operação, seletores de banda, limitação de corrente de cada conversor, podem ser observados.

Em relação a partida com tensão máxima, o amplificador linear inicialmente assume a corrente de carga e reduz esta corrente até próximo de zero conforme a corrente é sintetizada pelos conversores chaveados. O período de tempo em que o amplificador linear assume este transitório de corrente será

menor quanto maior forem o número de módulos associados. Portanto, quanto menores forem as indutâncias de cada módulo e quanto maiores forem os limites de corrente, menor será esse período de tempo.

Na partida com tensão nula ( $0^\circ$ ) e plena carga, Fig. 6.c e 6.d, os conversores e o amplificador linear comportam-se com as mesmas formas de onda de regime permanente. A perda no amplificador linear, calculada em (2), é semelhante à obtida por simulação, que apresentou perdas de 1.47% da potência de saída, ou seja, 294 W.

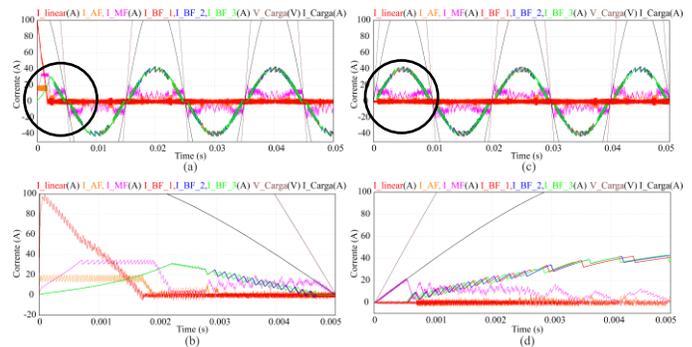


Fig. 6. Correntes na partida em  $90^\circ$  (a e b) e em  $0^\circ$  (c e d).

O comportamento das correntes nos conversores chaveados e no amplificador linear para um degrau de carga de 50 % para 100 % é apresentado na Fig. 7.a. O comportamento das correntes na partida considerando plena carga com fator de potência ( $F_p$ ) 0.8 indutivo é apresentado Fig. 7.b.

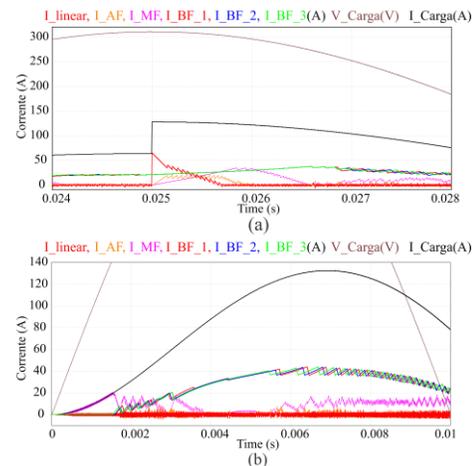


Fig. 7. Formas de onda das correntes. a) Para degrau de carga de 50 para 100 %; b) Para carga com  $F_p=0,8$  indutivo.

No caso do degrau de carga, a corrente do amplificador linear ( $I_{linear}$ ), apresentada na Fig. 7.a, atinge o valor projetado de 50 A, assim assumirá transitórios de corrente até seu limite. Acima deste valor a corrente é limitada a fim de protegê-lo e os conversores chaveados entregam à saída a corrente conforme a dinâmica de cada conversor chaveado. As formas de onda das correntes nessa condição são apresentadas na Fig. 7.a.

Nas Fig. 8.a, 8.b, 8.c e 8.d são apresentadas as correntes considerando falha em um dos conversores de baixa frequência (LF\_1). Os sinais apresentados indicam a redistribuição dinâmica das correntes e a continuidade de operação do sistema

em 20 kW, mantendo a tensão e a corrente de saída, confirmando que a estrutura é robusta a falhas e atende exigências de confiabilidade.

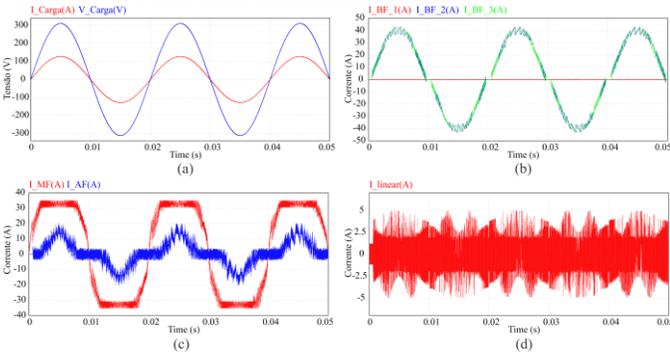


Fig. 8. Formas de ondas de corrente e tensão simuladas com carga resistiva de 20 kW e a falha em um conversor de baixa frequência. a) Tensão e corrente de saída; b) Corrente de saída dos conversores de baixa frequência e um conversor em falha (corrente nula); c) Corrente de saída nos conversores de média e alta frequência; e d) Corrente de saída no amplificador linear.

O valor de perdas no amplificador linear na operação em falha, conforme apresentado acima, foram de 1.7% da potência de saída.

## VI. RESULTADOS EXPERIMENTAIS

Um protótipo de potência reduzida foi implementado e testado para comprovar a funcionalidade das propostas mencionadas, da estrutura e do controle. Os valores selecionados para o protótipo são apresentados na Tabela II:

TABELA II  
PARÂMETROS DO CONVERSOR REALIZADO

PARÂMETROS	DADOS
Tensão Barramento	$V_B = 240 \text{ Vcc}$
Tensão de saída	$V_{Saída} = 64 \text{ Vef}$
Potência de saída	$P_{Saída} = 1 \text{ kVA}$
Indutância LBFx	$L_{BFx} = 3.7 \text{ mH}$
Indutância LMFx	$L_{MF} = 1.86 \text{ mH}$
Indutância LAFx	$L_{AF} = 716 \text{ } \mu\text{H}$
Índice Percentual de Corrente BF	$E1 = 100 \%$
Índice Percentual de Corrente MF	$E2 = 100 \%$
Índice Percentual de Corrente AF	$E3 = 100 \%$
Limite corrente BF_x	$E4 = I_{limBFx} = 30 \text{ A}$
Limite corrente MF	$E5 = I_{limMF} = 10 \text{ A}$
Limite corrente AF	$E6 = I_{limAF} = 06 \text{ A}$
Entrada em Operação BF	$E7 = 4.3 \text{ A}$
Entrada em Operação MF	$E8 = 1.7 \text{ A}$
Entrada em Operação AF	$E9 = 0 \text{ A}$
Histerese Conversor LF	$E10 = \Delta H_{BFx} = 2.16 \text{ A}$
Histerese Conversor MF	$E11 = \Delta H_{MF} = 1.60 \text{ A}$
Histerese Conversor AF	$E12 = \Delta H_{AF} = 1.12 \text{ A}$

Os valores das correntes deste projeto foram estabelecidos com base na disponibilidade de chaves semicondutoras para o protótipo, (conversor de BF = MBQ60T65PES do fabricante Magnachip, conversor de MF = IPW65R041CFD do fabricante Infineon, conversor de AF = IPW65R041CFD do fabricante Infineon). As frequências de chaveamento foram estabelecidas nas faixas de  $f_{sw\_LF} = 7.5 \text{ kHz}$ ,  $f_{sw\_MF} = 20 \text{ kHz}$  e  $f_{sw\_HF} = 75 \text{ kHz}$ .

Nas Fig.9 e Fig.10 a seguir as simulações e os resultados experimentais realizados foram colocados lado a lado. Considerando a complexibilidade da estrutura de potência e de

controle, as formas de ondas são similares desprezando-se as interferências provocadas por atrasos, ruídos e elementos parasitas não modelados.

Na Fig. 9 são apresentadas a tensão e a corrente de saída, as correntes dos conversores chaveados e a corrente no amplificador linear sob carga resistiva.

Na Fig. 10 são apresentadas as mesmas formas de onda da Fig. 9, mas sob carga indutiva  $FP = 0.1$ .

Em ambas as figuras a primeira forma de onda é a corrente de saída ( $I_{carga}$ ), a segunda é a tensão de saída ( $V_{saída}$ ), a terceira é a corrente do módulo de baixa frequência ( $I_{BF}$ ), a quarta é a corrente do módulo de frequência média ( $I_{MF}$ ), a quinta é a corrente do módulo de alta frequência ( $I_{AF}$ ) e a sexta forma de onda é a corrente do amplificador linear ( $I_{Linear}$ ). O equipamento utilizado foi o modelo WT-1800-6 do fabricante Yokogawa.

Observa-se na Fig. 9 a corrente de saída do conversor de baixa frequência ( $I_{BF}$ ). Quando a corrente de carga é próxima de zero, o módulo de baixa frequência é desativado para não produzir correntes circulantes, como exposto anteriormente. Nesse intervalo, a corrente de saída do conversor de média frequência ( $I_{MF}$ ) assume a corrente de saída.

A corrente de saída do conversor de alta frequência ( $I_{AF}$ ) e a corrente de saída do amplificador linear ( $I_{Linear}$ ), são mostradas nas Fig. 9 e Fig. 10 para diferentes cargas.

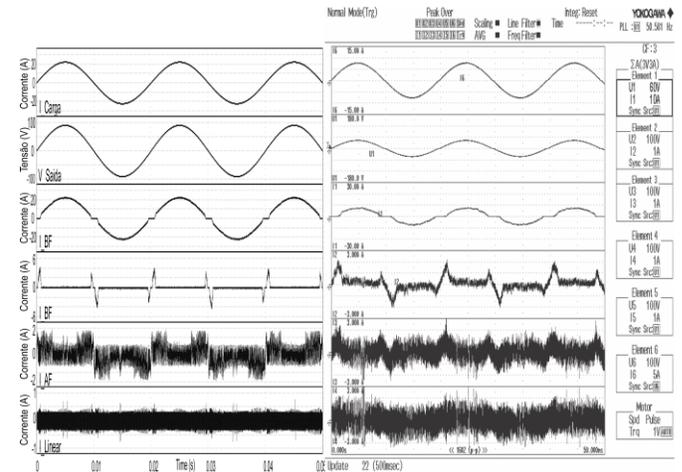


Fig. 9. Formas de onda simuladas (à esquerda) são os resultados experimentais (à direita) para carga resistiva de 1 Kva.

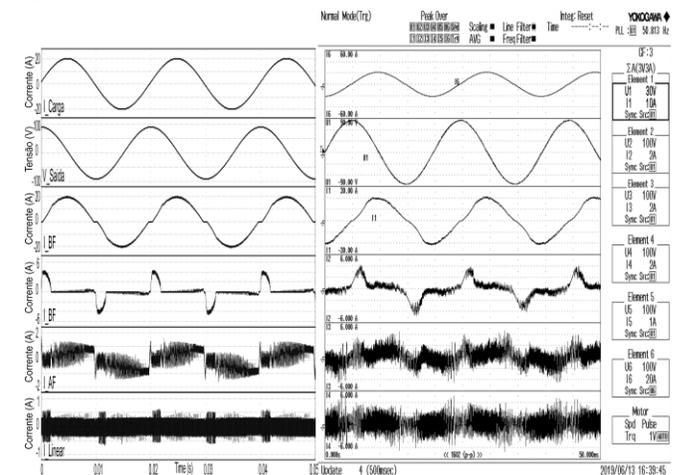


Fig. 10. Formas de onda simuladas (à esquerda) e resultados experimentais (à direita) para carga indutiva com  $FP = 0.1$ .

Observa-se que nas diferentes cargas apresentadas, o módulo de alta frequência reduz as ondulações remanescentes dos conversores de média e baixa frequências, mas a ondulação produzida por este conversor é eliminada pelo amplificador linear.

Na Fig. 11 são apresentadas a tensão (amarelo) e a corrente de saída (verde) para um degrau de carga. A tensão de saída não apresenta distorção, bem como redução de sua amplitude. O equipamento de medição utilizado modelo RTB- 2002 do fabricante Rohde & Schwarz.

O sistema de controle é executado em um TMS320F28379D do fabricante Texas, que inclui todas as regras de histerese de corrente, limites de corrente, índice percentual de corrente, entrada em Operação e o controlador PI digital em seu software.

Esse protótipo foi desenvolvido para avaliar e demonstrar experimentalmente os conceitos e os princípios de operação introduzidos nesta proposta. Sendo como critério inicial de projeto que esse atinja uma eficiência global igual ou superior à 95%. Como um ponto de partida do projeto, estabeleceu-se que as perdas dos conversores chaveados e do amplificador linear sejam da mesma ordem de grandeza. Nos resultados experimentais para carga nominal, o amplificador linear apresentou perdas de 19 W (corresponde a 1.9 %) e nos chaveados na ordem de 31 W (correspondendo a 3.1 %). A eficiência global da estrutura foi de aproximadamente 95%, conforme estabelecido anteriormente.



Fig. 11: Forma de ondas da tensão e corrente de saída para um degrau com uma carga resistiva.

A resposta ao degrau de carga mostrada na Fig. 11 indica que a estrutura opera de forma similar a um barramento infinito, onde uma variação na carga não afeta a forma de onda da tensão de saída.

## VII. CONCLUSÃO

Este trabalho apresenta associações de diferentes tecnologias de semicondutores para implementar um conversor híbrido multinível dinâmico em corrente chaveado-linear. A estrutura proposta permite que o capacitor do filtro de saída seja suprimido, sem penalizar a eliminação de ondulações e harmônicos. A proposta utiliza técnicas híbridas para implementar a estrutura e proporciona ao conjunto respostas dinâmicas rápidas, com alta fidelidade nos sinais gerados. Além

dessas características, o sistema proposto divide as correntes nos conversores nas proporções desejadas, implementa proteções de sobrecorrente, mitiga as correntes circulantes e minimiza as perdas da estrutura.

As simulações e resultados experimentais comprovam que os requisitos estabelecidos no presente trabalho foram alcançados. Portanto, combinando conversores chaveados-lineares, comando e técnicas de controle, esta solução se mostra como uma forte candidata para superar os desafios onde demandas por alta potência, qualidade do sinal e respostas dinâmicas rápidas são essenciais.

A eliminação do capacitor do filtro de saída é concretizada com a utilização de um amplificador linear de baixa potência. As respostas dinâmicas rápidas e a qualidade dos sinais de saída são características da estrutura apresentada. Estas características são superiores às apresentadas por conversores puramente chaveados que apresentam filtros passa-baixas na saída. Para reduzir a ondulação no sinal de saída dos conversores chaveados são necessários filtros passa-baixas volumosos e para atender respostas dinâmicas rápidas são necessários filtros passa-baixa com frequência de corte elevada, que somente é atingido pelo aumento da frequência de chaveamento.

Outra característica obtida por esta estrutura é que a corrente máxima é limitada pelos valores estabelecidos para cada conversor chaveado da estrutura e para o amplificador linear presentes no conjunto e não pela impedância de curto-circuito ou pela energia do filtro de saída, como observado nos conversores chaveados.

Finalmente, uma característica a ser enfatizada é que o sistema se comporta como um barramento infinito para diferentes cargas. Como mostrado, transientes de corrente não afetam a forma de onda da tensão de saída se os recursos forem suficientes para produzi-la. Portanto, a alta qualidade e fidelidade na tensão gerada é uma característica especial desta proposta, atendendo uma ampla faixa de potência.

## AGRADECIMENTOS

Este estudo foi financiado em parte pela empresa IDEIA1 e Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES/ PROEX) – código de financiamento 001, ao CNPq (Centro Nacional de Desenvolvimento Científico e Tecnológico) pelo apoio financeiro do projeto de Pesquisa/MCTI/CNPq.

## REFERÊNCIAS

- [1] Endres, Julian and Ackva, Ansgar, "A Parallel Three-Phase Converter System for Ripple Current Compensation and Passive Filter Reduction", *17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, pp 1-9, 2015.
- [2] Vidor, Dalton L. R., Rosa, E., Rigo, N., Pinheiro, J.R., "Capacitorless Voltage Source Converter With High Fidelity and Fast Transient Response", *2017 IEEE Southern Power Electronics Conference (SPEC)*, pp 1-6, Chile, 2017.
- [3] Vidor, D.L. R., Rosa, E., Rigo, N., Pinheiro, J.R., "A Switched-Linear Series Converter", *12th IEEE/IAS International Conference on Industry Applications – Induscon 2016*, pp 1-6, Brazil, 2016.
- [4] García, H.M., "Application of modified current-mode one-cycle control in a linear-assisted DC/DC regulator", *2015 IEEE, 13th International*

- Conference on Industrial Informatics (INDIN), Year: 2015*, pp. 1561 - 1566, INDIN, 2015. DOI: 10.1109/INDIN.2015.7281966.
- [5] Vidor, D.L.R.; Rigo, N. and Pinheiro, J.R., "DC-DC and DC-AC Series or Parallel Hybrid Converters," *2018 13th IEEE International Conference on Industry Applications (INDUSCON)*, São Paulo, Brazil, 2018, pp. 789-794. doi:10.1109/INDUSCON.2018.8627264
- [6] Da Silva, G.S., Beltrame, R. C.; Schuch, L. and Rech, C., "Hybrid AC Power Source Based on Modular Multilevel Converter and Linear Amplifier", in *IEEE Trans. Power Electron.*, vol. 30, no. 1, pp. 216–226, 2015. DOI: 10.1109/TPEL.2014.2310174.
- [7] Vilella, J. C. and Garcia, H. M., "Design of an On-Chip Hybrid DC/DC Converter," in *IEEE Latin America Transactions*, vol. 13, no. 7, pp. 2101-2105, July 2015. doi: 10.1109/TLA.2015.7273764.
- [8] Beres, R. N., Wang, X., Blaabjerg, F., Liserre, M. and Bak, C. L., "Optimal Design of High-Order Passive-Damped Filters for Grid-Connected Applications," in *IEEE Transactions on Power Electronics*, vol. 31, no. 3, pp. 2083-2098, March 2016. doi: 10.1109/TPEL.2015.2441299.
- [9] Kunzler, L.M.; Lopes, L.A. C.; "Power Balance Technique for Cascaded H-Bridge Multilevel Cells in a Hybrid Power Amplifier with Wide Output Voltage Range", *2018 IEEE International Conference on Industrial Technology (ICIT)*, Canada, 2018.
- [10] W. Hu, Y. Wang, W. Yao, J. Wu, H. Zhang, and Z. Wang: "An efficient experimental method for high power direct drive wind energy conversion systems," in *Proc. IEEE Power Electronics Specialists Conference (PESC)*, 15-19 June 2008, Rhodes, Greece, pp. 3955-3959.
- [11] I.W. Jaskulski, H. Pinheiro, and L. Mariotto, "Multi-Leg Voltage Source Converter for Grid Connected Wind Turbines," in *Proc. Clean Electrical Power (ICCEP)*, 21-23 May 2007, Capri, Italy, pp. 229-235.
- [12] C. Rech, J.R. Pinheiro, "Impact of Hybrid Multilevel Modulation Strategy on Input and Output Harmonic Performances", in *Proc. APEC*, pp. 444-450, 2005.
- [13] Camargo, R. S., Nunes, W. T., Dallapicula, D. M., Encarnacao, L. F. and Simonetti, D. S. L., "Design and Analysis Methodology for Modular Multilevel Converters (MMC)," in *IEEE Latin America Transactions*, vol. 16, no. 4, pp. 1105-1112, April 2018. doi: 10.1109/TLA.2018.8362144.
- [14] H. S. Patel and R. G. Hoft, "Generalized harmonic elimination and voltage control in thyristor inverters: Part I—Harmonic elimination" *IEEE Trans. Ind. Appl.*, vol. IA-9, no. 3, pp. 310–317, May/June 1973.
- [15] H. S. Patel and R. G. Hoft, "Generalized harmonic elimination and voltage control in thyristor inverters: Part II—Voltage control technique," *IEEE Trans. Ind. Applicat.*, vol. IA-10, no. 5, pp. 666–673, Sep./Oct. 1974.
- [16] R. N. Beres, X. Wang, M. Liserre, F. Blaabjerg and C. L. Bak, "A Review of Passive Power Filters for Three-Phase Grid-Connected Voltage-Source Converters," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 1, pp. 54-69, March 2016, doi: 10.1109/JESTPE.2015.2507203.
- [17] He Li-gao and Wu Jian, "Selection of the current ripple ratio of converters and optimal design of output inductor," *2010 5th IEEE Conference on Industrial Electronics and Applications*, 2010, pp. 1163-1167, doi: 10.1109/ICIEA.2010.5515878.
- [18] J. Wes, L. Budinsky, and M. Krizik, 'Gradient amplifier imperfections in MR imaging', *Magnetic Resonance Imaging*, vol. 10, pp. 481–484, 1992.
- [19] Grupo WEG, "Guia Técnico - Motores de indução alimentados por inversores de frequência PWM", Cód: 50029351, Rev: 13, Data: 01/2016.
- [20] Sedra, A. S.; Smith, K. C., "Microelectronic Circuits", seventh edition, Oxford, 2015, ISBN 978–0–19–933913–6.



**Nataniel Marcos Rigo** possui mestrado pela Universidade Federal de Santa Maria - UFSC (2020). Discente de doutorado no PPGEE-UFSC e UFBA no grupo de processamento de energia elétrica, graduação em Engenharia Elétrica pela Universidade Luterana do Brasil – ULBRA-RS (2015). Realiza pesquisas em conversores multiníveis paralelos, conversores híbridos chaveado-linear. Seus interesses são

estudos e projetos de conversores de alta potência com excelente resposta dinâmica e qualidade do sinal.



**Dalton Luiz Rech Vidor** possui graduação em Engenharia Elétrica pela PUC-RS (1991), Mestrado em Engenharia Elétrica pela UFSC (1993), Especialista em Telecomunicações pela PUC-RS (1999) e Doutorado pela UFSC (2019). Atualmente é Diretor da empresa Ideial e professor do ensino superior na ULBRA-RS. Seus interesses são o estudo e projeto de conversores de alta potência com excelente performance na resposta dinâmica e qualidade do sinal gerado.



**José Renes Pinheiro** bacharel em Engenharia Elétrica pela UFSC, e de Mestre e Doutor em Engenharia Elétrica pela UFSC. De 2001 a 2002, trabalhou no Center for Power Electronics Systems, Virginia Polytechnic Institute and State University (Virginia Tech), Blacksburg, como Pesquisador de Pós-Doutorado. Ele é autor de mais de 300 artigos técnicos publicados em conferências e revistas. Seus interesses atuais de pesquisa incluem conversão de alta frequência e alta potência, fontes de alimentação e projeto otimizado de conversores.