

Improvements on E-PLL to Mitigate Transient Low-Frequency Oscillations

Luís F. C. Monteiro, Cleiton M. Freitas, Michel P. Tcheou and Dayane M. Lessa

Abstract—This paper aims at improving the Enhanced-PLL (E-PLL) to mitigate the transient low-frequency oscillations, which is inherent to single-phase circuits. These improvements resulted in a new PLL configuration, designated here as the Double-Frequency Mitigation SOGI-EPLL, or simply DFM-SOGiEPLL. We integrate the EPLL with a Second-Order Generalized Integrator (SOGI), by modifying the computation of the internal error signals of the phase-and-frequency loop and the amplitude loop. Thus, the proposed DFM-SOGiEPLL is able to extinguish transient low-frequency oscillations, in a short time period, in comparison to the conventional EPLL. A dynamic model approach of both EPLLs, including four different test-cases, was implemented through numerical simulations and hardware experiments to verify the better performance of the proposed one.

Index Terms—Enhanced Phase-Locked Loop, Orthogonal signal generators, Low-Frequency Oscillations, Power Quality.

I. INTRODUÇÃO

Em aplicações envolvendo a qualidade de energia [1]–[4] das redes elétricas de distribuição são utilizados equipamentos capazes de identificar e caracterizar tais eventos como, por exemplo, variações momentâneas de tensão, variações da frequência e componentes harmônicas nas tensões e correntes medidas. Particularmente, estes equipamentos são usualmente, compostos por circuitos do sincronismo como, por exemplo, os do tipo PLL *Phase-Locked Loop* [5]–[8]. De fato, os PLLs são essenciais para a instrumentação e os circuitos de controle que precisam ser sincronizados com a rede elétrica. É importante comentar que, além do seu uso disseminado em equipamentos que verificam a qualidade da energia, o uso do PLL também contribuiu para a modernização das redes elétricas em diversos segmentos, como geração distribuída, identificação e caracterização de fenômenos relacionados à qualidade de energia, detecção de falhas na rede elétrica, entre outros [9].

Quando o PLL é aplicado em redes de baixa tensão ou fracas, o rastreamento de frequência e fase pode ser comprometido por questões de qualidade de energia, como presença de componentes desequilibradas e harmônicas nas tensões e correntes analisadas [10]. Estas componentes fazem com que o PLL contenha componentes oscilantes na frequência identificada, o que prejudica o desempenho de sistemas dependentes de PLL, ou mesmo de conversores conectados à rede que fazem uso do PLL. Associado à isto, existem outros

problemas que não podem ser negligenciados. Por exemplo, em aplicações monofásicas, o PLL apresenta uma oscilação transitória que se propaga internamente, distorcendo os sinais internos e comprometendo o desempenho do circuito de sincronização. Uma alternativa para amenizar esse problema é a utilização de um sinal auxiliar em quadratura com a componente fundamental do sinal de entrada [11]–[13], seja por meio do uso de filtros do tipo passa-tudo [14], [15] ou mesmo pelo uso integradores generalizados de segunda ordem (SOGI - *Second-Order Generalized Integrators*). Então, para um sinal de entrada composto apenas pela componente fundamental, o PLL monofásico em estado estacionário tem um comportamento semelhante ao PLL trifásico, eliminando a componente harmônica de segunda ordem quando o PLL está em estado estacionário. Assim, tal componente harmônico aparece apenas quando ocorrem transitórios.

Na literatura, há diferentes propostas para o uso do SOGI em conjunto com PLL monofásico convencional (SOGI-PLL), incluindo, por vezes, malhas auxiliares na estrutura do SOGI-PLL. Por exemplo, em [16] é apresentado o uso do PLL com o SOGI para conversores conectados em circuitos monofásicos. Incluiu-se um controle adaptativo de frequência na malha do SOGI, sem comprometer o desempenho dinâmico. Contribuições similares podem ser observadas em [17], onde são apresentadas diferentes composições envolvendo o PLL monofásico convencional com o SOGI para rejeitar a componente contínua, ou mesmo a inclusão de um vetor representado no eixo $\alpha\beta$ estacionário para separar a componente fundamental das componentes harmônicas. Em [18], também foi proposto um SOGI-PLL denominado por *Frequency-Fixed SOGI-based PLL* (FFSOGI-PLL), com objetivo de melhorar a margem de estabilidade do SOGI na identificação da frequência.

No entanto, mesmo com a melhoria no desempenho dinâmico, estes arranjos SOGI-PLL continuam com a mesma capacidade de identificar somente a frequência e o ângulo de fase. Por outro lado, o E-PLL (*Enhanced-PLL*) [19]–[21] tem a vantagem de conter uma malha adicional para identificar a amplitude da componente fundamental do sinal de entrada. Com isto, o sinal de saída consiste na componente fundamental do sinal de entrada, evitando assim a implementação de outros algoritmos de controle. Contudo, o E-PLL apresenta componentes oscilatórias, com a de maior amplitude referente ao segundo harmônico, durante o período do transitório em que decorre o sincronismo. Neste sentido, o presente trabalho propõe o uso combinado do SOGI com o E-PLL, incluindo modificações nos cálculos dos sinais internos tanto da malha de fase e frequência quanto da malha de amplitude, com objetivo de eliminar estas componentes

Luís F. C. Monteiro, Michel P. Tcheou and Dayane M. Lessa are with Post-Graduation Program in Electronics Engineering, Rio de Janeiro State University, e-mails: lmonteiro@uerj.br, mtcheou@uerj.br, day_lessa@yahoo.com.br

Cleiton M. Freitas is with Dept. of Electrical Engineering, Rio de Janeiro State University, e-mail: cleiton.freitas@uerj.br

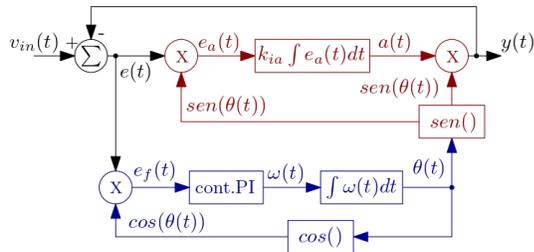


Fig. 1. Diagrama de Blocos do EPLL convencional.

oscilantes. A combinação do SOGI-EPLL aqui proposta é denominada por *Double-Frequency Mitigation SOGI-EPLL*, ou simplesmente *DFM-SOGiEPLL*. Neste contexto, trata-se de uma abordagem diferente das existentes na literatura, com o objetivo de melhorar o desempenho dinâmico do E-PLL ao mitigar a componente de segundo harmônico que surge na ocorrência de transitórios.

Na seção II apresenta-se o modelo dinâmico do E-PLL convencional. Em seguida, na seção III, apresenta-se o modelo dinâmico do DFM-SOGiEPLL. Associado a isto, a seção IV traz os resultados de simulação para diferentes casos de teste, corroborando para o melhor desempenho do DFM-SOGiEPLL, com a eliminação destas componentes oscilantes em um menor intervalo de tempo. A seção V contém os resultados experimentais do DFM-SOGiEPLL obtidos com os quatro casos teste, corroborando com os resultados obtidos previamente por simulação. Por fim, na seção VI, são apresentadas as conclusões do trabalho.

II. MODELO DINÂMICO DO E-PLL CONVENCIONAL

O modelo dinâmico do E-PLL compreende duas malhas, sendo uma de fase e frequência e a outra de amplitude. Na Fig. 1 é apresentado o diagrama de blocos do E-PLL. Com relação à malha de fase, o objetivo é fazer com que, em regime permanente, o sinal $sen(\omega t)$, indicado no diagrama de blocos, esteja sincronizado com a componente fundamental do sinal de entrada, $v_{in}(t)$, que é dado por $V_{in} \cdot sen(\omega_1 t)$. Esta malha é composta por um controlador do tipo PI (proporcional-integral) combinado com um integrador de ganho unitário.

Conforme representado no diagrama de blocos, o sinal de entrada desta malha, $e_f(t)$, é dado por:

$$e_f(t) = [V_{in} \cdot sen(\omega_1 t) - a(t) \cdot sen(\theta(t))] \cdot cos(\theta(t)); \quad (1)$$

sendo $\theta(t)$ igual à ωt , variável esta descrita na Fig. 1, que corresponde ao sinal de saída da malha de fase e frequência. Ao expandir $e_f(t)$ os seguintes termos são identificados:

$$e_f(t) = \frac{V_{in}}{2} \cdot [sen(\omega_1 t + \theta(t)) + sen(\omega_1 t - \theta(t))] - \frac{a(t)}{2} \cdot [sen(2\theta(t))]. \quad (2)$$

Com a expansão de $e_f(t)$, são observados os termos oscilantes em $\omega_1 t + \theta(t)$, $\omega_1 t - \theta(t)$ e em $2\theta(t)$, que são inerentes aos circuitos de sincronismo monofásicos. Quando ocorre o sincronismo, com $\theta(t)$ igual a $\omega_1 t$, o sinal $e_f(t)$ apresenta valor médio igual a zero e uma componente de segundo harmônico. Esta condição indica que a malha de fase

e frequência estabilizou. É importante comentar, no entanto, que esta condição ocorre mesmo que a amplitude do sinal de saída do E-PLL, $a(t)$, seja diferente da amplitude do sinal de entrada do E-PLL (V_{in}). De fato, nas condições em estudo, com $\theta(t) = \omega_1 t$ e $a(t) \neq V_{in}$, o sinal $e_f(t)$ é dado por:

$$e_f(t) = \frac{[V_{in} - a(t)] \cdot sen(2\theta(t))}{2}. \quad (3)$$

Assim, somente quando $a(t)$ for igual à V_{in} , a componente oscilante em $e_f(t)$ é totalmente anulada.

A malha de amplitude do E-PLL tem por objetivo fazer com que o valor médio do sinal $a(t)$, ilustrado na Fig. 1, seja igual à amplitude da componente fundamental do sinal de entrada (V_{in}). A malha de amplitude apresenta um integrador de modo que o sinal $a(t)$ seja dinamicamente ajustado até que o mesmo seja igual à V_{in} . O sinal de entrada da malha de amplitude corresponde a $e_a(t)$ que é dado por:

$$e_a(t) = [V_{in} \cdot sen(\omega_1 t) - a(t) \cdot sen(\theta(t))] \cdot sen(\theta(t)). \quad (4)$$

Ao expandir $e_a(t)$ os seguintes termos são identificados:

$$e_a(t) = \frac{V_{in}}{2} \cdot [cos(\omega_1 t - \theta(t)) - cos(\omega_1 t + \theta(t))] - \frac{a(t)}{2} \cdot [1 - cos(2\theta(t))]. \quad (5)$$

Para que o valor médio do sinal $e_a(t)$ seja igual a zero é necessário que $\theta(t) = \omega_1 t$ e $a(t) = V_{in}$. Do contrário, $e_a(t)$ apresenta componentes oscilantes em $\omega_1 t + \theta(t)$, $\omega_1 t - \theta(t)$ e em $2\theta(t)$, conforme observado na malha de fase e frequência. Desta forma, pode ser observado que o E-PLL encontra-se em regime permanente somente após a estabilização da malha de amplitude, onde todas as componentes oscilantes são integralmente anuladas.

Tal raciocínio, obviamente, pode ser estendido para o caso em que o sinal de entrada do E-PLL contém distorções harmônicas. De fato, com o sinal de entrada contendo outras componentes harmônicas além da fundamental, os sinais internos $e_f(t)$ e $e_a(t)$ apresentam, obrigatoriamente, componentes oscilantes que resultam da soma e diferença das frequências entre as harmônicas do sinal de entrada, com os sinais internos de realimentação do E-PLL. Neste sentido, o objetivo deste trabalho consiste em propor modificações no E-PLL para mitigar o período da presença destas componentes oscilantes durante o período transitório. Estas modificações resultaram em um novo circuito de sincronismo, aqui denominado como *DFM-SOGiEPLL*. Na sequência é apresentado o seu modelo dinâmico.

III. MODELO DINÂMICO DO DFM-SOGiEPLL

No modelo dinâmico do DFM-SOGiEPLL, há a inclusão de duas malhas para a geração de sinais auxiliares, a partir de integradores generalizados de 2ª ordem (*SOGI - Second Order Generalized Integrator*), com modificações nos cálculos para a determinação dos sinais de erro das malhas de fase e amplitude. A adição desta malha foi necessária para obter um sinal auxiliar que esteja em quadratura com a componente fundamental do sinal de entrada. No DFM-SOGiEPLL, o sinal de saída é dado por $pll_\alpha(t)$. Conforme ilustrado no diagrama

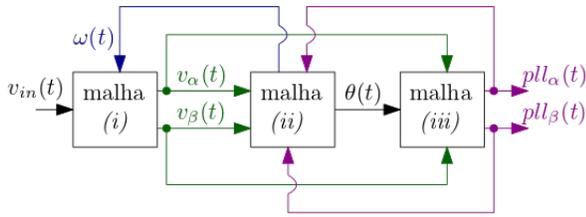


Fig. 2. Diagrama de Blocos do DFM-SOGiEPLL.

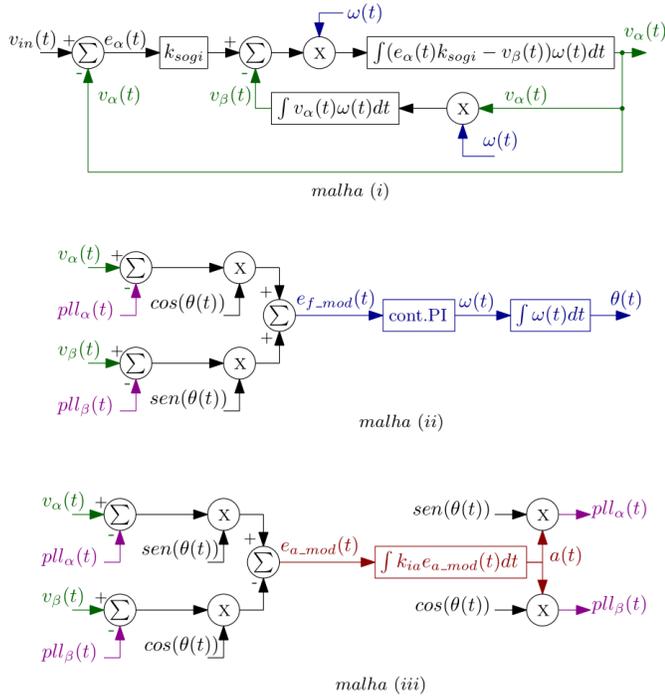


Fig. 3. Expansão das malhas do DFM-SOGiEPLL.

de blocos da Fig. 2, o DFM-SOGiEPLL é composto por 3 malhas, sendo (i) a malha do SOGI, (ii) a malha de frequência e fase e (iii) a malha de amplitude. Na Fig. 3, estão as expansões de cada uma destas malhas.

Na malha (i), são gerados os sinais auxiliares $v_\alpha(t)$ e $v_\beta(t)$, com o uso de integradores generalizados de segunda ordem (SOGI) [22]–[26]. Na literatura, é possível encontrar explicações sobre o seu modelo dinâmico, bem como o efeito do ganho k_{sogi} . Conforme apresentado em [23], reduzindo-se esta malha a partir de funções de transferência entre $V_\alpha(s)/V_{in}(s)$ e $V_\beta(s)/V_{in}(s)$, é possível verificar que o sistema é amortecido com $k_{sogi} \geq 2$. Em [24] e [25], particularmente, são apresentados os efeitos da componente contínua transitória nos sinais auxiliares $v_\alpha(t)$ e $v_\beta(t)$, bem como possíveis alternativas para mitigá-los. Neste trabalho, foi considerado o ganho $k_{sogi} = 2$, obtido de forma empírica a partir de diferentes testes realizados tanto em simulação quanto no protótipo experimental.

Na sequência, foram determinados os sinais auxiliares da frequência, $\omega(t)$, e da fase ωt a partir da malha (ii), que corresponde à malha de fase e frequência do DFM-SOGiEPLL. Nesta malha, os sinais de entrada são dados por $v_\alpha(t)$, $v_\beta(t)$, $pll_\alpha(t)$ e $pll_\beta(t)$. Particularmente, os sinais $pll_\alpha(t)$ e

$pll_\beta(t)$ são, respectivamente, dados por: $a(t) \cdot \text{sen}(\theta(t))$ e $a(t) \cdot \text{sen}(\theta(t) - \pi/2)$. O sinal $a(t)$ é a amplitude destes sinais, sendo o mesmo determinado na malha (iii), que corresponde à malha de amplitude. Desta forma, ao expandir o sinal de erro $e_{f_mod}(t)$ em função dos sinais de entrada desta malha, este é dado por:

$$e_{f_mod}(t) = [v_\alpha(t) - pll_\alpha(t)] \cdot \cos(\theta(t)) + [v_\beta(t) - pll_\beta(t)] \cdot \text{sen}(\theta(t)). \quad (6)$$

Ao expandir estes termos, o sinal $e_{f_mod}(t)$ corresponde à:

$$e_{f_mod}(t) = [V_{in} \text{sen}(\omega_1 t) - a(t) \text{sen}(\theta(t))] \cdot \cos(\theta(t)) + [a(t) \cos(\theta(t)) - V_{in} \cos(\omega_1 t)] \cdot \text{sen}(\theta(t)). \quad (7)$$

Quando ocorre o sincronismo, onde $\omega t = \omega_1 t$, $e_{f_mod}(t)$ é simplificado da seguinte forma:

$$e_{f_mod}(t) = (1/2)[V_{in} - a(t)] \cdot \text{sen}(2\theta(t)) + (1/2)[a(t) - V_{in}] \cdot \text{sen}(2\theta(t)). \quad (8)$$

Desta forma, é verificado que $e_{f_mod}(t) = 0$ quando $\theta(t) = \omega_1 t$. É importante comentar que esta condição ocorre, mesmo com $a(t) \neq V_{in}$. Assim, nesta malha, é comprovado que a componente oscilatória de segundo harmônico existe tão somente enquanto $\theta(t) \neq \omega_1 t$.

A malha da amplitude, malha (iii), também faz uso dos sinais de entrada utilizados na malha (ii), o que pode ser verificado no diagrama de blocos do DFM-SOGiEPLL, apresentado na Fig. 3. No entanto, o arranjo destes sinais ocorre de forma diferente. Assim, ao expandir-se o sinal de erro $e_{a_mod}(t)$, em função dos sinais de entrada, este é dado por:

$$e_{a_mod}(t) = [v_\alpha(t) - pll_\alpha(t)] \cdot \text{sen}(\theta(t)) - [v_\beta(t) - pll_\beta(t)] \cdot \text{sen}(\beta(t)). \quad (9)$$

Com a expansão destes termos, $e_{a_mod}(t)$ corresponde à:

$$e_{a_mod}(t) = \frac{V_{in}}{2} \{ \cos[(\omega_1 t - \theta(t))] - \cos[(\omega_1 t + \theta(t))] \} - \frac{a(t)}{2} [1 - \cos(2\theta(t))] - \frac{V_{in}}{2} \{ \cos[(\omega_1 t - \theta(t))] + \cos[(\omega_1 t + \theta(t))] \} - \frac{a(t)}{2} [1 + \cos(2\theta(t))]. \quad (10)$$

Quando ocorre o sincronismo, ou seja, quando $\theta(t) = \omega_1 t$, $e_{a_mod}(t)$ é simplificado da seguinte forma:

$$e_{a_mod}(t) = \frac{(V_{in} - a(t))}{2} [1 - \cos(2\theta(t))] + \frac{(V_{in} - a(t))}{2} [1 + \cos(2\theta(t))]. \quad (11)$$

Logo, com $\theta(t) = \omega_1 t$ as componentes oscilantes de $e_{a_mod}(t)$ são eliminadas. Deste modo, $e_{a_mod}(t)$ é composto somente por uma parcela média que é dada por $V_{in} - a(t)$.

Desta forma, fica evidenciado que as componentes oscilantes nos sinais de erro tanto na malha de frequência e fase quanto na malha de amplitude são eliminadas a partir do instante em que ocorre o sincronismo. Tal característica

possibilita um ajuste nos ganhos destas malhas, proporcionando ao circuito de sincronismo proposto a capacidade de ter uma dinâmica mais rápida, quando comparado com o E-PLL convencional. Em seguida, são apresentados os resultados de simulação onde esta característica pode ser verificada.

IV. RESULTADOS DE SIMULAÇÃO

Nesta seção, são apresentados os resultados obtidos tanto com o E-PLL convencional quanto com o DFM-SOGiEPLL para quatro diferentes casos teste. No primeiro caso teste (CT1), objetivou-se verificar o comportamento dinâmico quando os circuitos de sincronismo são inicializados. Uma vez inicializados e sincronizados com o sinal de entrada, foram incluídas três diferentes perturbações no sinal de entrada, onde cada uma destas perturbações produziu um novo caso teste. Assim, o transitório relacionado com a variação de fase do sinal de entrada ocorreu no segundo caso teste (CT2), enquanto o desvio de frequência ocorreu no terceiro caso teste (CT3). Por fim, no quarto caso teste (CT4), ocorreu um transitório com a inclusão de componentes harmônicas no sinal de entrada.

Os ganhos dos controladores utilizados no E-PLL convencional estão descritos na Tabela I, enquanto a Tabela II apresenta os ganhos utilizados no DFM-SOGiEPLL. Os ganhos dos controladores PI (proporcional e integral) utilizados nas malhas de fase e frequência estão representados por k_{p_f} e k_{i_f} , respectivamente. O ganho do integrador utilizado na malha de amplitude está denominado como k_{i_a} . Na malha do SOGI incluso no DFM-SOGiE-PLL há o ganho k_{sogi} , conforme descrito no modelo matemático apresentado na Seção III.

Em todos os casos teste, os ganhos foram sintonizados de modo que os E-PLLs atingissem a condição de regime permanente em um período inferior a seis ciclos da frequência fundamental (100ms), com o sinal de saída apresentando um THD (*Total Harmonic Distortion*) inferior à 2%, sendo este um limite mais rígido quando comparado ao limite de 5% recomendado pela IEEE-519 [27]. Nos três primeiros casos teste (CT1, CT2 e CT3) o sinal de entrada não continha distorção harmônica. Este fato permitiu o uso de ganhos maiores tanto de k_{p_f} quanto de k_{i_a} . Estes ganhos foram sintonizados de forma empírica a partir de diferentes testes realizados tanto em simulação quanto em experimento. É importante ressaltar que estes ganhos não foram sintonizados com objetivo de obter o desempenho ótimo dos E-PLLs, mas tão somente que fossem capazes de atender às condições impostas.

As simulações ocorreram com passo de cálculo constante com período de 10 μs e, para a discretização dos integradores foi utilizada a transformação bilinear [28]. Naturalmente, quando estes algoritmos dos E-PLLs foram migrados para o micro controlador do tipo DSP (*Digital Signal Processor*), o passo de cálculo para execução dos algoritmos com o DSP foi maior do que o passo de cálculo utilizado em simulação. No entanto, mesmo com a diferença nos passos de cálculo, os resultados obtidos com o experimento foram similares aos obtidos em simulação.

A Fig. 4 mostra o comportamento do circuito de sincronismo E-PLL convencional quando o mesmo é inicializado.

TABELA I
GANHOS UTILIZADOS NO E-PLL CONVENCIONAL

Casos Teste	k_{p_f}	k_{i_f}	k_{i_a}
CT1, CT2, CT3	30	2000	200
CT4	10	2000	50

TABELA II
GANHOS UTILIZADOS NO DFM-SOGiEPLL

Casos Teste	k_{sogi}	k_{p_f}	k_{i_f}	k_{i_a}
CT1, CT2, CT3	2	30	2000	200
CT4	2	10	2000	50

A partir do quinto ciclo o sinal da saída do E-PLL, $y(t)$, está sincronizado com o sinal de entrada, representado por $v_{in}(t)$. Tal fato pode ser visualizado a partir do sinal de erro do E-PLL ($e(t)$), que consiste na diferença entre os sinais de entrada e saída. Estes sinais foram normalizados pelos respectivos valores de pico, quando se encontram em regime permanente. Na sequência, a Fig. 5 mostra o desempenho do DFM-SOGiEPLL, onde o sinal de saída é representado por $pll_{\alpha}(t)$. O sinal de saída está sincronizado com o sinal de entrada em um período inferior a 3 ciclos da frequência fundamental. Pode-se também observar que, em comparação com o sinal de erro do E-PLL convencional, o sinal do erro DFM-SOGiEPLL, $e_{f_mod}(t)$, tem uma componente oscilante com amplitude atenuada, sendo a mesma extinguida antes do instante de tempo $t = 0,04s$.

Na sequência, são mostradas as formas de onda tanto a frequência angular, $\omega(t)$, quanto a amplitude do sinal de saída, $a(t)$. Na Fig. 6, estes sinais foram obtidos com o E-PLL convencional, enquanto que na Fig. 7 mostra os mesmos sinais obtidos com o DFM-SOGiEPLL. Estes sinais estão normalizados. No entanto, para não haver superposição, $\omega(t)$ foi normalizado por um fator 250. Com isto, em regime permanente, $\omega(t)$ apresenta valor normalizado de aproximadamente 1,5 para a frequência fundamental de 377rad/s.

Para o E-PLL convencional, conforme previsto no estudo do seu modelo dinâmico, há a presença de uma componente oscilante enquanto houver um erro residual na malha

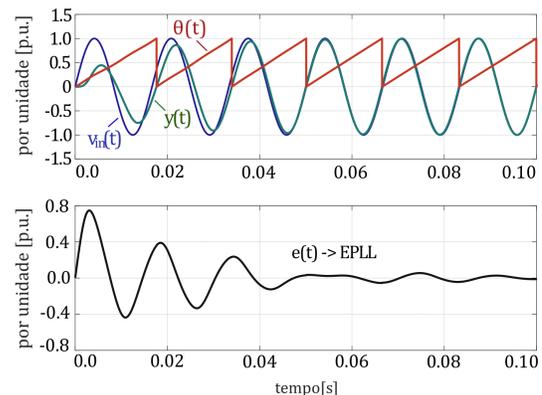


Fig. 4. Sinais de entrada, $v_{in}(t)$, saída, $y(t)$, ângulo de fase, $\theta(t)$ e o erro entre os sinais de entrada e saída, $e(t)$, do primeiro caso teste (CT1) para o E-PLL convencional.

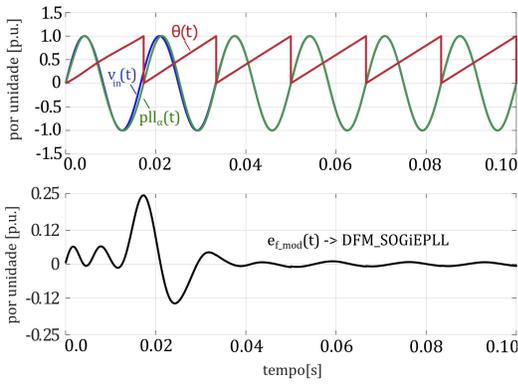


Fig. 5. Sinais de entrada, $v_{in}(t)$, saída, $pll_{\alpha}(t)$, ângulo de fase, $\theta(t)$ e o erro entre os sinais de entrada e saída, $e(t)$, do primeiro caso teste (CT1) para o DFM-SOGiEPLL.

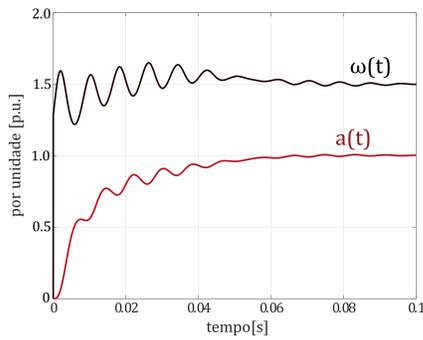


Fig. 6. Frequência angular, $\omega(t)$, e amplitude do sinal de saída, $a(t)$, do primeiro caso teste (CT1) para o E-PLL convencional.

de amplitude. Com a fase e a frequência ajustadas, pode-se afirmar que a componente oscilante tem frequência de $2\omega_1$, sendo ω_1 a frequência da componente fundamental. Por outro lado, no DFM-SOGiEPLL, é observada uma atenuação desta componente oscilante, com $a(t)$ e $\omega(t)$ assentando nos respectivos valores de referência em, aproximadamente, $t = 0,04$ s. Ou seja, enquanto o E-PLL convencional precisou de, aproximadamente, 5 ciclos para convergir neste caso teste, o DFM-SOGiEPLL convergiu em menos de 3 ciclos.

A Fig. 8 mostra o desempenho do E-PLL convencional no segundo caso teste, quando ocorre uma variação de fase no sinal de entrada em $t = 0,1$ s. A variação de fase foi de

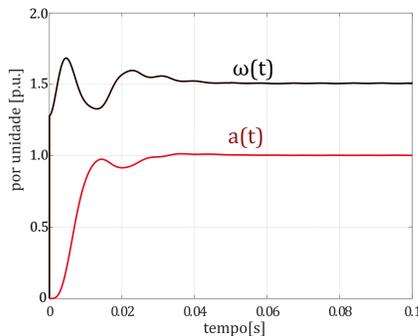


Fig. 7. Frequência angular, $\omega(t)$, e amplitude do sinal de saída, $a(t)$, do primeiro caso teste (CT1) para o DFM-SOGiEPLL.

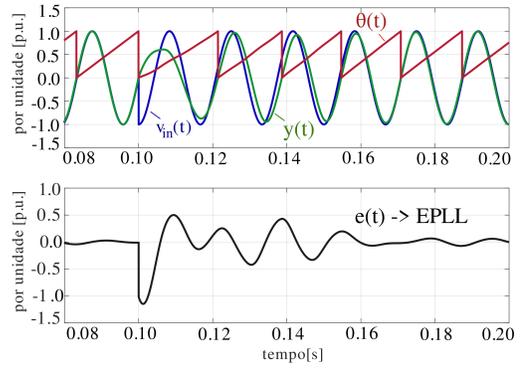


Fig. 8. Sinais de entrada, $v_{in}(t)$, saída, $y(t)$, ângulo de fase, $\theta(t)$ e o erro entre os sinais de entrada e saída, $e(t)$, do segundo caso teste (CT2) para o E-PLL convencional.

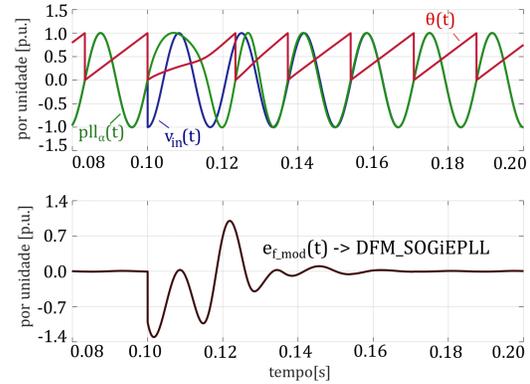


Fig. 9. Sinais de entrada, $v_{in}(t)$, saída, $pll_{\alpha}(t)$, ângulo de fase, $\theta(t)$ e o erro entre os sinais de entrada e saída, $e(t)$, do segundo caso teste (CT2) para o DFM-SOGiEPLL.

-90° . Após o transitório, o E-PLL convencional convergiu para a nova condição de regime permanente em $t = 0,18$ s, aproximadamente. A Fig. 9 mostra o comportamento do DFM-SOGiEPLL para este caso teste com o mesmo desvio de fase, convergindo para nova condição de regime em menos de 3 ciclos, o que pode ser observado no sinal de erro.

Ainda com relação ao segundo caso teste, os sinais da amplitude, $a(t)$, e da frequência angular, $\omega(t)$, tanto para o E-PLL convencional quanto para o DFM-SOGiEPLL são apresentados na Fig. 10 e na Fig. 11, respectivamente. Em ambos os casos, o transitório levou a um decréscimo tanto da amplitude quanto da frequência. No entanto, o E-PLL convencional convergiu para a nova condição de regime permanente em, aproximadamente, 80ms após o transitório, enquanto o DFM-SOGiEPLL convergiu para a mesma condição de regime permanente em, aproximadamente, 45ms após o transitório. Outro aspecto consiste no fato de resposta transitória do DFM-SOGiEPLL não apresentar as componentes oscilantes observadas na resposta transitória do EPLL convencional.

Na sequência, são apresentados os resultados da simulação dos dois E-PLLs para o terceiro caso teste, onde o transitório consistiu no desvio de frequência de 60Hz para 50Hz no instante de tempo $t = 0,1$ s. Conforme mostra a Fig. 12,

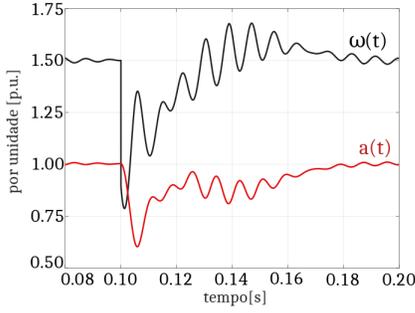


Fig. 10. Frequência angular, $\omega(t)$, e amplitude do sinal de saída, $a(t)$, do segundo caso teste (CT2) para o E-PLL convencional.

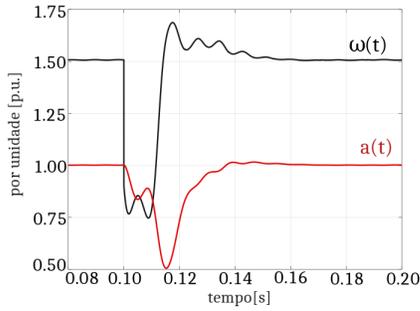


Fig. 11. Frequência angular, $\omega(t)$, e amplitude do sinal de saída, $a(t)$, do segundo caso teste (CT2) para o DFM-SOGiEPLL.

o E-PLL convencional convergiu para a nova condição de regime permanente em, aproximadamente, 80ms após a ocorrência do distúrbio, com o sinal de erro, $e(t)$, apresentando uma componente oscilante de amplitude normalizada igual à 0,3 por dois ciclos. Em seguida, ocorre uma atenuação desta componente oscilante. Por outro lado, de acordo com os resultados apresentados na Fig. 13, o DFM-SOGiEPLL convergiu para a nova condição de regime permanente em, aproximadamente, 40ms, após a ocorrência da variação da frequência do sinal de entrada. Outra característica consistiu no fato do sinal de erro, $e_{f_mod}(t)$, apresentar uma componente oscilante que, praticamente, se extinguiu a partir do instante de tempo $t = 0,13s$.

Continuando com a análise do terceiro caso teste, a Fig. 14

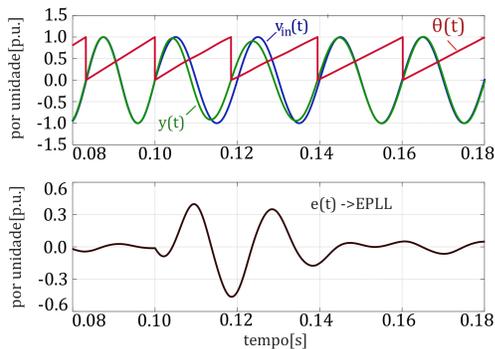


Fig. 12. Sinais de entrada, $v_{in}(t)$, saída, $y(t)$, ângulo de fase, $\theta(t)$ e o erro entre os sinais de entrada e saída, $e(t)$, do terceiro caso teste (CT3) para o E-PLL convencional.

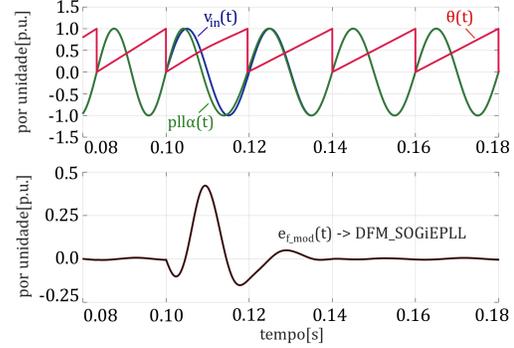


Fig. 13. Sinais de entrada, $v_{in}(t)$, saída, $pll_{\alpha}(t)$, ângulo de fase, $\theta(t)$ e o erro entre os sinais de entrada e saída, $e(t)$, do terceiro caso teste (CT3) para o DFM-SOGiEPLL.

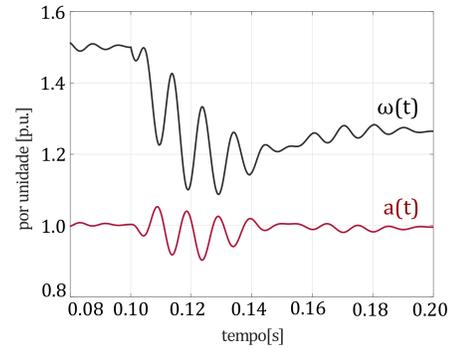


Fig. 14. Dinâmica da frequência angular, $\omega(t)$, e da amplitude do sinal de saída, $a(t)$, do terceiro caso teste (CT3) para o E-PLL convencional.

e a Fig. 15 mostram, respectivamente, as formas de onda da frequência angular, $\omega(t)$, e da amplitude, $a(t)$, dos sinais de saída do E-PLL convencional, $y(t)$, e do DFM-SOGiEPLL, $pll_{\alpha}(t)$, respectivamente. Conforme o esperado, após a ocorrência do transitório é observado que as componentes oscilantes contidas nos sinais $\omega(t)$ e $a(t)$ do E-PLL convencional estão atenuadas com o DFM-SOGiEPLL. Associado a isto, também é possível verificar que o DFM-SOGiEPLL alcança a nova condição de regime permanente em menos de 50ms após a ocorrência da perturbação, enquanto o E-PLL convencional alcançou a mesma condição de regime permanente em, aproximadamente, 80ms após a ocorrência da perturbação.

No quarto caso teste (CT4), ocorre uma mudança na forma de onda do sinal de entrada, $v_{in}(t)$. Antes da perturbação, $v_{in}(t)$ era composto somente pela componente fundamental e, após o evento, o mesmo apresenta uma forma de onda representada por:

$$v_{in}(t) = 5\text{sen}(\omega_1 t) + (5/3)\text{sen}(3\omega_1 t) + \text{sen}(5\omega_1 t) + (5/7)\text{sen}(7\omega_1 t). \quad (12)$$

Neste caso teste, particularmente, os ganhos dos controladores foram modificados para que os sinais de saída $y(t)$ e $pll_{\alpha}(t)$ apresentassem um THD abaixo de 2% quando estivessem em regime permanente após a ocorrência do evento.

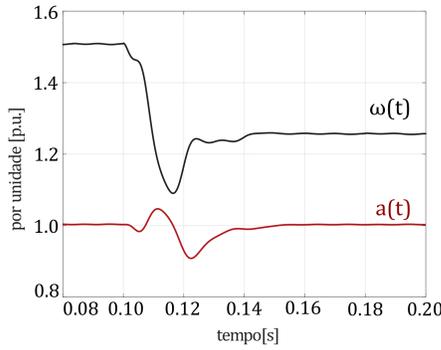


Fig. 15. Dinâmica da frequência angular, $\omega(t)$, e da amplitude do sinal de saída, $a(t)$, do terceiro caso teste (CT3) para o DFM-SOGiEPLL.

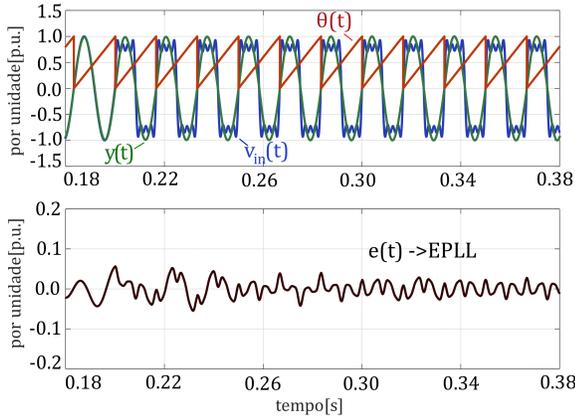


Fig. 16. Sinais de entrada, $v_{in}(t)$, saída, $y(t)$, ângulo de fase, $\theta(t)$ e o erro entre os sinais de entrada e saída, $e(t)$, do quarto caso teste (CT4) para o E-PLL convencional.

Além disto, diferente dos outros casos testes, a perturbação ocorreu no instante de tempo $t = 0, 2s$.

Assim, a Fig. 16 e a Fig. 17 mostram, respectivamente, as dinâmicas tanto do E-PLL convencional quanto do DFM-SOGiEPLL para o quarto caso teste. Neste caso teste, os dois E-PLLs alcançam a condição de regime permanente em condições similares em, aproximadamente, 100ms após a ocorrência do evento, com o sinal de saída $y(t)$ apresentando uma distorção harmônica um pouco maior do que o sinal $pll_{\alpha}(t)$.

Por fim, as formas de ondas da frequência, $\omega(t)$ e da amplitude, $a(t)$ para o quarto caso teste tanto do E-PLL convencional quanto do DFM-SOGiEPLL estão ilustradas na Fig. 18 e na Fig. 19, respectivamente. Conforme o esperado, a partir do instante em que o sinal de entrada contém componentes harmônicas, tanto $\omega(t)$ quanto $a(t)$ passam a apresentar componentes oscilantes, normalmente referido como *ripple*.

Assim, é importante comentar que o *ripple* do sinal $\omega(t)$ do E-PLL tem, aproximadamente, o dobro da amplitude no mesmo sinal observado do DFM-SOGiEPLL. Isto ocorre em função das malhas adicionais que, em regime permanente atenuam parte da componente de segundo harmônico, o que não ocorre com o DFM-SOGiEPLL. Assim, apesar dos sinais de saída apresentarem um THD abaixo de 2%, o THD do sinal $pll_{\alpha}(t)$ foi de 1,2%, enquanto que $y(t)$ apresentou THD

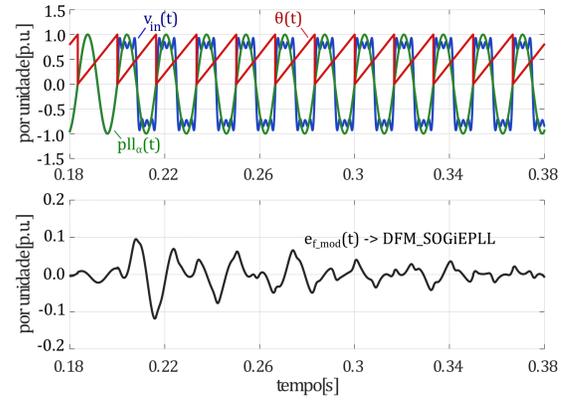


Fig. 17. Sinais de entrada, $v_{in}(t)$, saída, $pll_{\alpha}(t)$, ângulo de fase, $\theta(t)$ e o erro entre os sinais de entrada e saída, $e(t)$, do quarto caso teste (CT4) para o DFM-SOGiEPLL.

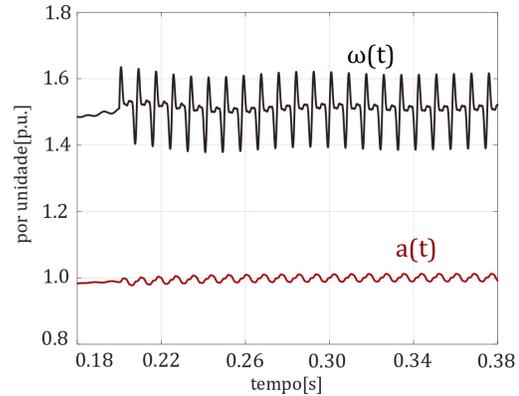


Fig. 18. Frequência angular, $\omega(t)$, e amplitude do sinal de saída, $a(t)$, do quarto caso teste (CT4) para o E-PLL convencional.

de 1,8%. Considerando a aplicação destes algoritmos em condicionadores ativos de energia, onde as formas de ondas de referência são obtidas a partir dos sinais gerados pelos circuitos de sincronismo, é notório observar que quanto maior for a distorção harmônica do sinal gerado pelo circuito de sincronismo, maior será distorção harmônica da tensão e/ou corrente produzida pelo inversor de potência, o que não é desejado.

A título de comparação, a Tabela III apresenta os tempos de assentamento dos dois circuitos de sincronismo nos quatro casos teste realizados. Para tal foi considerado o valor médio do sinal de erro da malha de amplitude. Foi considerado o valor do erro do sinal de entrada da malha de amplitude ($e_{a_mod}(t)$), pois, conforme explorado nos modelos matemáticos dos circuitos de sincronismo, estes encontram-se em regime estacionário quando os erros das malhas de amplitude apresentam valor médio igual a zero. Particularmente, o valor médio foi calculado com período de 10ms e passo de cálculo de $10\mu s$ e, além disso, foi considerado que o E-PLL encontra-se em regime estacionário quando o módulo de $e_{a_mod}(t)$ for igual ou menor do que 0,02.

V. RESULTADOS EXPERIMENTAIS

Os resultados experimentais foram obtidos com a utilização do kit de desenvolvimento LAUNCHXL-F28379D da Texas

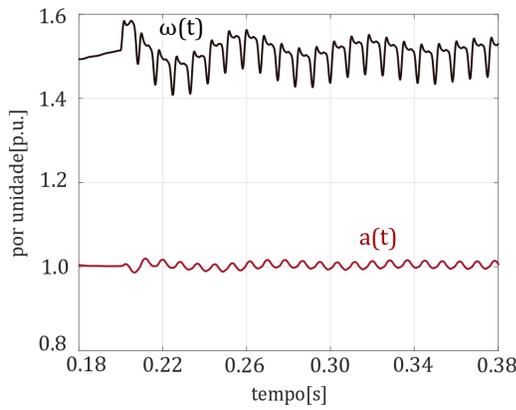


Fig. 19. Frequência angular, $\omega(t)$, e amplitude do sinal de saída, $a(t)$, do quarto caso teste (CT4) para o DFM-SOGiEPLL.

TABELA III
TEMPOS DE ASSENTAMENTO DOS CIRCUITOS DE SINCRONISMO

Caso Teste	Tempos de Assentamento (ms)	
	E-PLL	DFM-SOGiEPLL
Caso Teste 1	80	40
Caso Teste 2	80	45
Caso Teste 3	80	40
Caso Teste 4	100	100

Instruments e do *software* Code Composer Studio. O algoritmo do DFM-SOGiEPLL foi programado em C considerando uma interrupção com período de amostragem de $50\mu s$. Para facilitar a execução dos testes, os sinais de entrada foram artificialmente gerados dentro do próprio microcontrolador, mas os resultados se mantêm mesmo quando adquiridos através das entradas analógicas do kit. Os sinais internos foram exportados através das saídas PWM, filtrados e medidos com um osciloscópio. Para atenuar a interferência do processo de filtragem, o módulo PWM do microcontrolador foi configurado com frequência de 100kHz e os filtros passa baixas configurados com frequência de corte de 10,6kHz. A configuração do experimento é apresentada na Figura 20. Foram repetidos aqui os testes CT1-CT4 realizados em simulação.

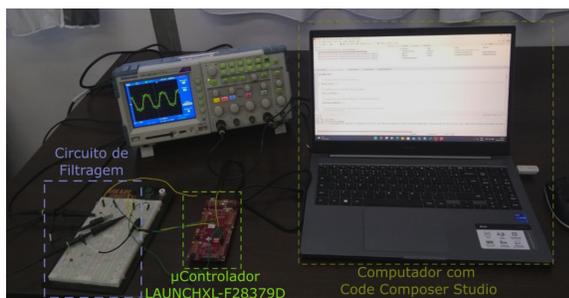


Fig. 20. Configuração utilizada para realização dos experimentos.

A Figura 21 mostra o transitório inicial do DFM-SOGiEPLL (CT1) para os sinais de entrada e saída, de ângulo de fase, de frequência e de amplitude. Como pode ser observado, o convergiu em menos de um ciclo de onda e os sinais de

frequência, $\omega(t)$, e amplitude, $a(t)$, não apresentaram grandes oscilações transitórias.

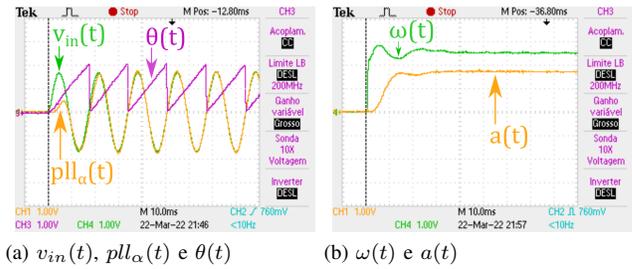


Fig. 21. Primeiro caso teste (CT1).

Para o caso CT2, cujos resultados são apresentados na Figura 22, o DFM-SOGiEPLL também se recupera em aproximadamente um ciclo de onda após a perturbação no ângulo de fase do sinal de entrada.

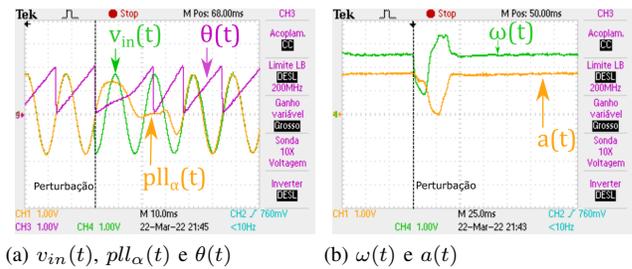


Fig. 22. Segundo caso teste (CT2).

Resultado similar ao anterior é encontrado no caso CT3, Figura 23, onde a frequência do sinal de entrada sofre uma modificação de 60 para 50Hz. Contudo, a característica dinâmica apresenta um comportamento mais suave, no limite entre sub-amortecido e amortecido.

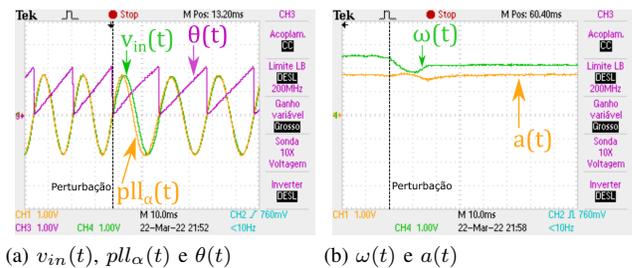


Fig. 23. Terceiro caso teste (CT3).

Por último, a Figura 24 apresenta os resultados para o caso CT4, onde o sinal de entrada é distorcido a partir de um determinado instante de tempo. Novamente, o DFM-SOGiEPLL foi capaz de seguir a componente fundamental do sinal de entrada e eliminar as componentes harmônicas presentes nele. Como pode ser visto através de análise espectral via FFT (*Fast Fourier Transform*), o sinal de saída $pll_\alpha(t)$ apresenta a componente fundamental com 22dB, enquanto a componente de terceiro harmônico, única componente harmônica notada na Figura 24d, apresenta valor de aproximadamente -16dB.

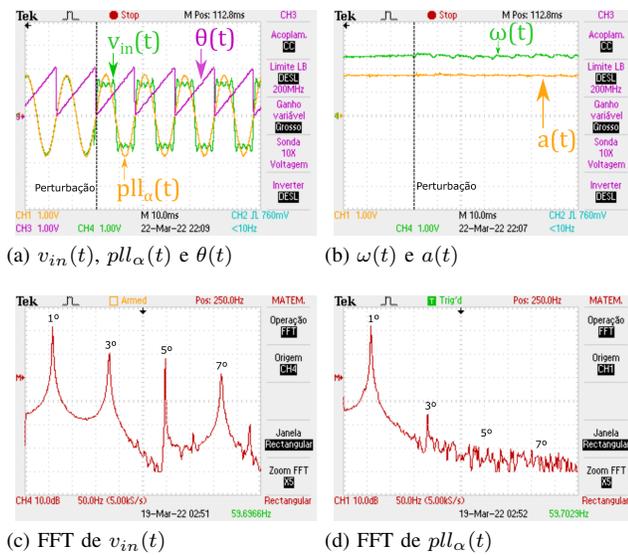


Fig. 24. Quarto caso teste (CT4).

VI. CONCLUSÕES

Neste artigo, foram propostas modificações no E-PLL convencional com o objetivo de mitigar as componentes oscilantes que surgem quando ocorrem transitórios. A partir do estudo dos modelos dinâmicos foi verificado que no DFM-SOGiEPLL estas componentes oscilantes são extintas quando ocorre quando o sinal de saída da malha de fase e frequência, $\theta(t)$, for igual à fase da componente fundamental do sinal de entrada, representada por $\omega_1 t$. Tal fato foi verificado tanto nos resultados em simulação quanto nos obtidos com um micro-controlador de baixo custo. Isto reforça não somente a prova de conceito do DFM-SOGiEPLL como também a viabilidade de seu uso em diferentes aplicações práticas, desde a identificação de eventos de qualidade de energia elétrica, bem como a sua inclusão em algoritmos de controle para condicionadores de energia.

É importante reforçar que a extinção das componentes oscilantes no DFM-SOGiEPLL ocorreu considerando que o sinal de entrada, $v_{in}(t)$, era composto tão somente pela componente fundamental. De fato, a partir do momento em que $v_{in}(t)$ apresentou componentes harmônicas, os sinais internos dos circuitos de sincronismo estudo apresentaram componentes oscilantes, o que ficou evidente nos resultados de simulação do quarto caso teste.

Outro ponto consiste na possibilidade em melhorar sintonia dos ganhos do DFM-SOGiEPLL em comparação com o E-PLL convencional. De fato, considerando que o sinal $pll_{\alpha}(t)$ apresentou THD abaixo de 2% nos quatro casos teste, é possível melhorar a sua resposta dinâmica. Apesar de não ter sido explorado neste trabalho uma vez que não era o objetivo, é importante comentar que o ajuste dos ganhos para redução do tempo de assentamento leva a uma redução na margem de estabilidade do circuito de sincronismo, o que também resulta no aumento da distorção harmônica no sinal gerado.

Conforme descrito nas seções dos modelos dinâmicos dos E-PLLs, para implantar o DFM-SOGiEPLL foi gerado um

sinal interno em quadratura com o sinal de entrada. Razão esta em se utilizar uma malha com integradores generalizados de 2ª ordem, denominada neste trabalho como “malha do SOGI”. Neste sentido, a continuidade deste trabalho consiste em explorar outras alternativas para obter o sinal interno em quadratura e fazer uma comparação dos mesmos. Nesta comparação, deve ser levado em conta a implementação destes E-PLLs em micro-controladores, pois um ponto importante consiste no tempo necessário para execução dos mesmos, o que pode definir aspectos importantes como, por exemplo, a taxa de amostragem dos sinais processados.

AGRADECIMENTOS

O presente trabalho foi realizado com apoio do Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) (Processo 422792 / 2016-0) e da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) – Código de Financiamento 001.

REFERÊNCIAS

- [1] R. Vieira, M. I. Guerra, and S. Bandeira, “Analysis of the power quality of a grid-connected photovoltaic system,” *IEEE LA Trans.*, vol. 18, no. 04, pp. 714–721, 2020.
- [2] E. Gómez-Luna Eduardo, R. Franco-Manrique Rafael, and L. B. Moya-Suarez Luis Bernardo, “Use of the frequency response technique to analyze the impact of improving the power factor in the electrical networks,” *IEEE LA Trans.*, vol. 17, no. 06, pp. 914–920, 2019.
- [3] J. Crepaldi, M. M. Amoroso, and O. H. Ando, “Analysis of the topologies of power filters applied in distributed generation units - review,” *IEEE LA Trans.*, vol. 16, no. 7, pp. 1892–1897, 2018.
- [4] M. C. C. Leite, F. A. M. Vieira, V. B. Silva, M. Z. Fortes, and D. H. N. Dias, “Harmonic analysis of a photovoltaic systems connected to low voltage grid,” *IEEE LA Trans.*, vol. 16, no. 1, pp. 112–117, 2018.
- [5] M. J. d. Silva, S. C. Ferreira, J. P. d. Silva, M. G. d. Santos, A. L. Paganotti, and L. M. Barbosa, “Equivalency between adaptive notch filter pll and inverse park pll by modeling and parameter adjustment,” *IEEE LA Trans.*, vol. 18, no. 12, pp. 2112–2121, 2020.
- [6] K. Saleem, Z. Ali, and K. Mehran, “A single-phase synchronization technique for grid-connected energy storage system under faulty grid conditions,” *IEEE Trans. on Power Electronics*, pp. 1–1, 2021.
- [7] J. Xu, H. Qian, S. Bian, Y. Hu, and S. Xie, “Comparative study of single-phase phase-locked loops for grid-connected inverters under non-ideal grid conditions,” *CSEE Journal of Power and Energy Systems*, pp. 1–10, 2020.
- [8] L. Lovisolo, J. M. Neto, K. Figueiredo, L. de Menezes Laporte, and J. dos Santos Rocha, “Location of faults generating short-duration voltage variations in distribution systems regions from records captured at one point and decomposed into damped sinusoids,” *IET Generation, Transmission & Distribution*, vol. 6, no. 12, pp. 1225–1234, 2012.
- [9] S. Sakamoto, T. Izumi, T. Yokoyama, and T. Haneyoshi, “A new method for digital PLL control using estimated quadrature two phase frequency detection,” in *Proceedings - IEEE Power Conversion Conf. 2002 (Cat. No. 02TH8579)*, vol. 2, pp. 671–676, 2002.
- [10] S. A. O. Da Silva, R. Novochadlo, and R. A. Modesto, “Single-phase PLL structure using modified pq theory for utility connected systems,” in *2008 IEEE Power Electronics Specialists Conf.*, pp. 4706–4711, 2008.
- [11] H. Sepahvand, M. Saniei, S. S. Mortazavi, and S. Golestan, “Performance improvement of single-phase PLLs under adverse grid conditions: An fir filtering-based approach,” *Electric Power Systems Research*, vol. 190, p. 106829, 2021.
- [12] S. M. Silva, B. M. Lopes, R. P. Campana, W. Bosventura, et al., “Performance evaluation of PLL algorithms for single-phase grid-connected systems,” in *39th IAS Annual Meeting.*, vol. 4, pp. 2259–2263, 2004.
- [13] S. Føyen, C. Zhang, M. Molinas, O. Fosso, and T. Isobe, “Single-phase synchronisation with hilbert transformers: a linear and frequency independent orthogonal system generator,” in *2020 IEEE 21st Workshop on Control and Modeling for Power Electronics*, pp. 1–6, 2020.
- [14] T. Xia, X. Zhang, G. Tan, and Y. Liu, “All-pass-filter-based pll for single-phase grid-connected converters under distorted grid conditions,” *IEEE Access*, vol. 8, pp. 106226–106233, 2020.

- [15] S. Golestan, J. M. Guerrero, J. C. Vasquez, A. M. Abusorrah, and Y. Al-Turki, "All-pass-filter-based pll systems: Linear modeling, analysis, and comparative evaluation," *IEEE Trans. on Power Electronics*, vol. 35, no. 4, pp. 3558–3572, 2020.
- [16] S. Prakash, J. K. Singh, R. K. Behera, and A. Mondal, "A type-3 modified sogi-pll with grid disturbance rejection capability for single-phase grid-tied converters," *IEEE Transactions on Industry Applications*, vol. 57, no. 4, pp. 4242–4252, 2021.
- [17] M. Xie, H. Wen, C. Zhu, and Y. Yang, "Dc offset rejection improvement in single-phase sogi-pll algorithms: Methods review and experimental evaluation," *IEEE Access*, vol. 5, pp. 12810–12819, 2017.
- [18] F. Xiao, L. Dong, L. Li, and X. Liao, "A frequency-fixed sogi-based pll for single-phase grid-connected converters," *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 1713–1719, 2017.
- [19] M. Karimi Ghartemani, H. Karimi, S. A. Khajehoddin, and S. M. Hosein-zadeh, "Efficient modeling and systematic design of enhanced phase-locked loop (epll) structures," *IEEE Transactions on Power Electronics*, pp. 1–1, 2022.
- [20] M. Karimi-Ghartemani, "Linear and pseudolinear enhanced phase-locked loop (epll) structures," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 3, pp. 1464–1474, 2014.
- [21] M. Karimi-Ghartemani and M. Iravani, "A method for synchronization of power electronic converters in polluted and variable-frequency environments," *IEEE Transactions on Power Systems*, vol. 19, no. 3, pp. 1263–1270, 2004.
- [22] J. Yu, W. Shi, J. Li, L. Deng, and M. Pei, "A discrete-time non-adaptive sogi-based frequency-locked loop," *IEEE Trans. on Power Systems*, vol. 35, no. 6, pp. 4912–4915, 2020.
- [23] S. Golestan, J. M. Guerrero, and J. C. Vasquez, "Single-phase PLLs: A review of recent advances," *IEEE Trans. on Power Electronics*, vol. 32, no. 12, pp. 9013–9030, 2017.
- [24] B. Liu, M. An, H. Wang, Y. Chen, Z. Zhang, C. Xu, S. Song, and Z. Lv, "A simple approach to reject dc offset for single-phase synchronous reference frame PLL in grid-tied converters," *IEEE Access*, vol. 8, pp. 112297–112308, 2020.
- [25] S. Golestan, J. M. Guerrero, J. C. Vasquez, A. M. Abusorrah, and Y. Al-Turki, "Linear time-periodic modeling, examination, and performance enhancement of grid synchronization systems with dc component rejection/estimation capability," *IEEE Trans. on Power Electronics*, vol. 36, no. 4, pp. 4237–4253, 2021.
- [26] J. Xu, H. Qian, Y. Hu, S. Bian, and S. Xie, "Overview of sogi-based single-phase phase-locked loops for grid synchronization under complex grid conditions," *IEEE Access*, vol. 9, pp. 39275–39291, 2021.
- [27] I. of Electrical and E. Engineers, *IEEE recommended practice and requirements for harmonic control in electric power systems*. IEEE, 2014.
- [28] V. Kratyuk, P. K. Hanumolu, U. Moon, and K. Mayaram, "A design procedure for all-digital phase-locked loops based on a charge-pump phase-locked-loop analogy," *IEEE Trans. on Circ. and Systems II: Express Briefs*, vol. 54, no. 3, pp. 247–251, 2007.



Cleiton Magalhães Freitas received his B.Sc and M.Sc. in Electronic Engineering from Rio de Janeiro State University, in 2012 and 2014, respectively, and his D.Sc in Electrical Engineering from the Federal University of Rio de Janeiro/COPPE in 2020. Currently, he is an Assistant Professor at Rio de Janeiro State University. His current research interests include Modular Multilevel Converter and its analytical modeling, grid-forming converters, renewable resources, and stability analysis of power electronics converters.



Michel Pompeu Tcheou received the Engineering degree in electronics from Federal University of Rio de Janeiro (UFRJ) in 2003, the M.Sc. and D.Sc. degrees in Electrical Engineering from COPPE/UFRJ in 2005 and 2011, respectively. He has worked at the Electric Power Research Center (Eletrobras Cepel) in Rio de Janeiro, Brazil, from 2006 to 2011. Since 2012 he has been with the Department of Electronics and Communications Engineering (the undergraduate dept.) at Rio de Janeiro State University (UERJ). He has also been with the Postgraduate in Electronics Program. His research interests are in signal processing, communications, data compression, power quality and numerical optimization.



Dayane Mendonça Lessa received her B.Sc in Control and Automation Engineering from Centro Federal de Educação Tecnológica Celso Suckow da Fonseca (CEFET/RJ), in 2010, and her M.Sc in Electronics Engineering from Rio de Janeiro State University, in 2019. Currently, she is Professor at CBM-UniCBE University Center, and Product Development Engineer at National Oilwell and Varco. Her current research interests include dynamic control systems, power quality, and subsea solutions.



Luís Fernando Corrêa Monteiro received the B.Sc. and M.Sc. degrees from the Federal University of Rio de Janeiro (UFRJ), in 2002 and 2004, respectively, and the D.Sc. degree from UFRJ in 2008. From 2006 to 2008 developed his D.Sc. research at University of Minho, Portugal. Currently, he is Associate Professor with Department of Electronics and Communications Engineering at Rio de Janeiro State University (UERJ). His research interests include active power conditioners, dynamic control systems, power quality, microgrids and renewables.