

A Test IC for Wafer-Level Characterization of an IntraCMOS-MEMS Fabrication Process

M. Linares Aranda, L. Hernández Martínez, and F. J. de la Hidalga Wade, *Member, IEEE*

Abstract—Monitoring of fabrication processes and the measurement of the electrical and mechanical properties of materials and devices at the silicon-wafer level are of vital importance on integrated system technologies. In this work, a test integrated circuit (IC) for the development of an IntraCMOS-MEMS fabrication process is presented. The test devices contained in the test IC are designed in such a way that 1) they can be used in CMOS-MEMS fabrication technologies using different materials, 2) take into account the capabilities of the manufacturing infrastructure, and 3) consider the selected integrated fabrication scheme; thus, any monolithic CMOS-MEMS process can be evaluated before, during and after the fabrication. The acquired data from the test devices will be useful to identify possible electrical and/or mechanical variations, in the properties of the materials used and in the performance characteristics of the devices, due to the fabrication process. The information acquired will help to adjust the simulation routines and the analytical modeling expressions. Finally, using the infrastructure of the MEMS Innovation Laboratory (LIMEMS-INAOE México) preliminary experimental results are presented.

Index Terms— Test devices, IC test, CMOS-MEMS, Integrated circuits, semiconductor devices.

I. INTRODUCCIÓN,

Generalmente un dispositivo micro-electro-mecánico (MEMS) interactúa con un fenómeno físico o químico y posee terminales de entrada/salida eléctrica para correlacionar el funcionamiento del dispositivo MEMS con el fenómeno considerado. Los dispositivos MEMS, como transductores individuales (acelerómetros o giróscopos, por ejemplo), deben asociarse con dispositivos electrónicos (amplificadores, convertidores A/D-D/A, etc.) para realizar una función útil. Una de las principales ventajas de los sistemas MEMS es su mejor funcionamiento, debido a una mayor sensibilidad del fenómeno a medir como resultado de la reducción de elementos parásitos (principalmente resistivos y capacitivos) entre la conexión de

los dispositivos MEMS y los dispositivos electrónicos CMOS (Complementary-Metal-Oxide-Semiconductor). De esta forma, la integración conjunta de circuitos electrónicos con dispositivos mecánicos para formar sistemas complejos, y realizada en el mismo sustrato de silicio (monolítico), constituye el verdadero sentido de la palabra MEMS.

Para desarrollar una tecnología MEMS integrada basada en la tecnología CMOS, existen diferentes esquemas de integración: Pre-CMOS [1], Post-CMOS [2] e Intra-CMOS [3]. Cada esquema tiene sus propios beneficios y limitaciones, y la selección de algún esquema dependerá completamente de la aplicación. Sin embargo, desde el punto de vista de desarrollo del proceso de fabricación, el aspecto más importante para seleccionar un determinado esquema lo constituye la infraestructura de manufactura disponible para desarrollar, mejorar o adaptar el proceso de fabricación.

El éxito de las características planificadas y esperadas de los sistemas basados en MEMS dependerá principalmente del desempeño físico de sus elementos internos, la integridad de los materiales y el funcionamiento de los dispositivos, por lo que es necesario contar con elementos de prueba que proporcionen información para el monitoreo del proceso de fabricación y retroalimentación para la optimización del mismo. Esta información sumamente valiosa es obtenida de los dispositivos de prueba a través de mediciones eléctricas [4], mecánicas y ópticas [5], principalmente. En [6] se reportó un proceso de fabricación CMOS-MEMS desarrollado por los autores del presente trabajo, estableciéndose en [7] las consideraciones generales de diseño de un circuito integrado (CI) de pruebas con el fin de facilitar el proceso de prueba a nivel de oblea de silicio. En el presente artículo, se describen a detalle los diferentes dispositivos de prueba diseñados para evaluar la viabilidad de integrar dispositivos MEMS de diferentes materiales estructurales y dispositivos CMOS en la misma oblea de silicio con un esquema de proceso integrado *intra-CMOS*. Para ello, en la sección II se presenta el proceso de fabricación que se pretende caracterizar. En la sección III se describen los dispositivos electrónicos y mecánicos diseñados. En la sección IV se propone un circuito integrado de pruebas conteniendo todos los dispositivos de prueba justificadamente distribuidos. En la sección V, se muestran algunos resultados experimentales preliminares. Finalmente, en la sección VI se derivan las correspondientes conclusiones del presente trabajo. La principal contribución del presente trabajo es tener disponible un CI para el monitoreo continuo de un proceso de fabricación CMOS-MEMS desarrollado en México que sirva para fabricar sistemas MEMS relativamente complejos para resolver problemas específicos en Latinoamérica.

L. Hernández Martínez, es Investigador Titular en el área de Electrónica del Instituto Nacional de Astrofísica Óptica y Electrónica (INAOE), Pue. México; luish@inaoep.mx.

F. J. de la Hidalga Wade, es Investigador Titular en el área de Electrónica del Instituto Nacional de Astrofísica Óptica y Electrónica (INAOE), Pue. México; jhidalga@inaoep.mx.

M. Linares Aranda, es Investigador Titular en el área de Electrónica del Instituto Nacional de Astrofísica Óptica y Electrónica (INAOE), Pue. México; mlinares@inaoep.mx.

II. TECNOLOGÍA DE FABRICACIÓN CMOS-MEMS

El proceso de fabricación a caracterizar en el presente trabajo se muestra en la Fig. 1 [6, 7]. Requiere obleas de silicio tipo p de orientación (100) con resistividad de 20-40 Ω -cm, y un total de 13 mascarillas para fusionar un proceso CMOS de pozos gemelos con un proceso MEMS. Considerando que el esquema de integración seleccionado es del tipo *Intra-CMOS*, el proceso de fabricación general incluye un subproceso de micro-maquinado superficial para la realización de los dispositivos mecánicos MEMS en el que se pueden utilizar hasta dos capas de polisilicio como material estructural.

El proceso de fabricación que se muestra en la Fig. 1, es altamente flexible en el sentido de ser modular y poder utilizar otros materiales estructurales, distintos al polisilicio y el aluminio utilizados inicialmente, como el titanio o el silicio amorfo para fabricar las estructuras mecánicas; y sin utilizar alguna técnica de planarización especializada para la interconexión de componentes mecánicos y dispositivos electrónicos. En el desarrollo del proceso *IntraCMOS-MEMS* se utilizaron diferentes subprocesos tecnológicos tales como micromaquinado superficial en silicio, implantación de iones para ajuste de encendido de transistores MOS y oxidaciones locales de polisilicio para una definición característica precisa, entre otros; pero el aspecto más crítico analizado fueron los tratamientos térmicos, principalmente el de polisilicio, para obtener películas con alta estabilidad y baja tensión residual.

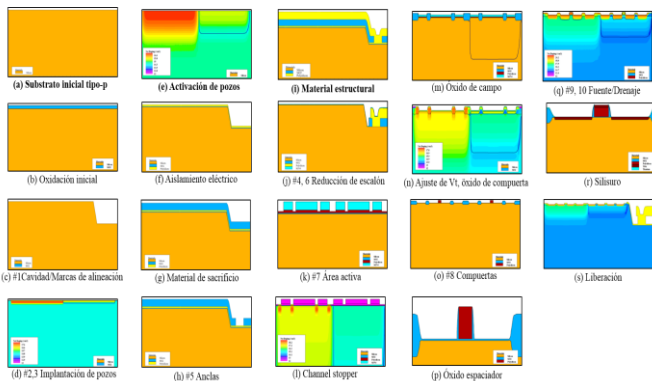


Fig. 1. Proceso IntraCMOS-MEMS [6, 7].

III. DISPOSITIVOS DE PRUEBA

Todos los dispositivos utilizan un arreglo modular de 10 terminales Entrada/Salida para facilitar su prueba a nivel oblea de silicio (Fig. 2). Cada terminal E/S es un cuadro de 80 μ m x 80 μ m de aluminio y separación entre terminales de 80 μ m.

A. Dispositivos de Pruebas Eléctricas

Los elementos de monitoreo de control de procesos MOS estándar [4] que incluyen dispositivos tales como resistores, capacitores, diodos y transistores MOS, entre otros, son diseñados para obtener parámetros de fabricación antes y después de realizado el proceso MEMS integrado, con el fin de evaluar la influencia del proceso de fabricación en el funcionamiento de los dispositivos electrónicos.

A.1 Para Caracterización de Elementos Pasivos y Activos

A.1.1 Capacitores. Mediante mediciones Capacitancia-Voltaje (C-V) en alta frecuencia se pueden determinar: el grosor

efectivo del óxido, la concentración efectiva de impurezas, voltajes de encendido y de banda plana, diferencia de las funciones trabajo del silicio; así como el tipo de material de la compuerta y la densidad de cargas en el óxido. Para este fin, se diseñaron cuatro capacitores de tamaño 560 μ m x 240 μ m formados con polisilicio (o material de compuerta), óxido de silicio y sustrato; esto es, capacitores óxido de campo/Pozo N, capacitores óxido de campo/Pozo P, capacitores óxido de compuerta/Pozo N y capacitores óxido de compuerta/Pozo P. El layout de un capacitor MOS se muestra en la Fig. 2.

A.1.2 Diodos. Mediante diodos como dispositivos de prueba se pueden obtener parámetros que caracterizan a una unión *p-n* principalmente en polarización inversa: corriente de fuga inversa, capacitancia de agotamiento y voltaje de ruptura. Todos estos parámetros presentan contribuciones según su geometría (forma y tamaño), de ahí la importancia de conocer tanto el área como el perímetro del diodo real y la capacitancia de la unión [8]. Para la obtención de estos parámetros se diseñaron tres pares de diodos (espiral, cuadrado y cuadrado controlado por compuerta) teniendo la misma área ($A_1 = A_2$) pero que difieren en su perímetro por un factor de diez ($P_1 = 10P_2$). Así, si C_A e I_A son la capacitancia y la corriente por unidad de área, respectivamente, y C_P e I_P son la capacitancia y la corriente por unidad de perímetro, respectivamente, las contribuciones a la corriente de perímetro y área son calculadas respectivamente con (1) y (2):

$$M_P = \frac{M_1 A_2 - M_2 A_1}{P_1 A_2 - P_2 A_1} \quad (1)$$

$$M_P = \frac{M_1 P_2 - M_2 P_1}{A_1 P_2 - A_2 P_1} \quad (2)$$

donde M indica el tipo de medición: *Capacitancia* o *Corriente*.

Las dimensiones de los dispositivos son: tres diodos de 300 μ m x 300 μ m y tres diodos de 6000 μ m x 15 μ m, así ambos tipos de diodo tienen la misma área de 90000 μ m² pero una relación de perímetros de 10, con lo cual se garantiza el poder obtener las contribuciones de área y de perímetro. Los diodos de menor área fueron diseñados en forma cuadrada, mientras que los diodos de mayor tamaño en forma de espira para adaptarse dentro del área del arreglo de terminales E/S 2x5, tal como se muestra en la Fig. 3. El diodo cuadrado se utilizó también para formar un diodo controlado por compuerta, lo cual permitirá observar la dependencia del voltaje de ruptura contra el voltaje de compuerta, así como la velocidad de generación superficial y el tiempo de generación de portadores.

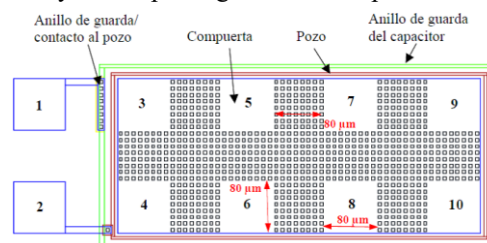


Fig. 2. Patrón geométrico (layout) de un capacitor CMOS incrustado en un arreglo modular de 2x5 terminales de entrada/salida (E/S).

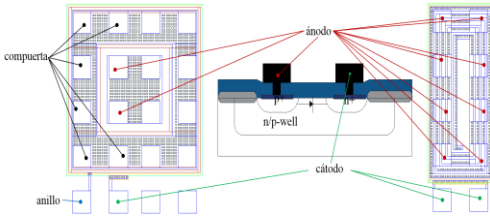


Fig. 3. Patrones geométricos de un diodo cuadrado (izquierda) y de un diodo en espira (derecha). Sección transversal (centro) del diodo p⁺/n.

A.1.3 Transistores. Transistores como dispositivos de prueba permiten extraer suficiente información física para modelar el comportamiento eléctrico de los mismos. Se diseñó un conjunto de ocho transistores: un arreglo de 4 transistores con longitudes de compuerta (ancho de canal del transistor) de 1.5 μm , 3 μm , 10 μm y 50 μm , y con un ancho (longitud de canal del transistor) fijo de compuerta de 50 μm . Otro arreglo fue diseñado variando el ancho de la compuerta en la misma proporción y con una longitud fija de 50 μm . Esto se hizo tanto para transistores MOS de canal N (NMOS) como para transistores MOS de canal P (PMOS). La configuración de estos arreglos de transistores (Fig. 4a) es de compuerta y sustrato común, y con terminales de fuente y drenaje independientes para determinar si la corriente de fuga indeseada (parásita) altera la medición de un dispositivo en particular. Con el fin de probar transistores de dimensión mínima sin interferencia alguna causada por corrientes parásitas de fuga de los dispositivos adyacentes, se diseñó otra configuración de transistores individuales e independientes NMOS y PMOS con longitudes de 1.5 μm y 3 μm para un ancho de 50 μm y viceversa, y transistores con anchos de 1.5 μm y 3 μm con una longitud de 50 μm .

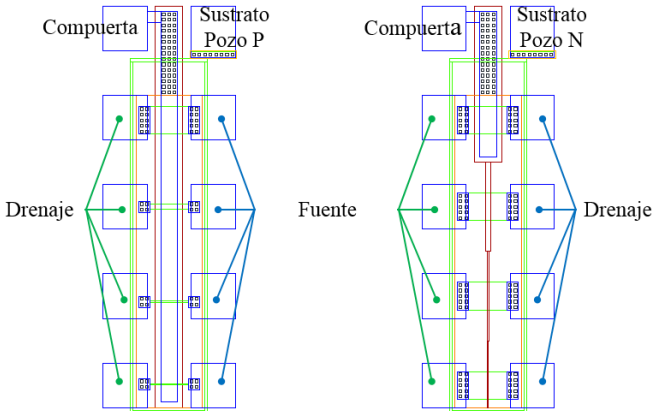


Fig. 4. (a) Arreglos de transistores MOS, (b) Transistores MOS individuales.

A.2 Para Caracterización del Proceso de Fabricación.

A.2.1 Cruz-Puente. Este es un dispositivo más completo para monitorear parámetros del proceso de fabricación tales como concentración de dopantes, resistencia laminar de los materiales, dimensiones críticas de ancho de línea y ancho de ventanas durante o después del proceso de fabricación. Este dispositivo es vital para determinar que un proceso de fabricación se mantenga en los estándares esperados. La

resistencia laminar está directamente relacionada con la resistividad de una capa de material y proporciona una medición directa del perfil de dopado obtenido en el proceso de fabricación. El ancho de línea y el tamaño de ventanas influyen en gran medida en el funcionamiento de los circuitos CMOS ya que definen la longitud del canal del transistor y por lo tanto, en su capacidad para manejar corrientes. En la Fig. 5 y la Tabla I se muestran los dispositivos diseñados para medir la resistencia de cuadro, el ancho de línea y el ancho de ventana para diferentes capas de material. La Fig. 5 consta de tres secciones: la sección en forma de cruz (lado izquierdo) se utiliza para medir la resistencia laminar R_s , utilizando la expresión de Van der Pauw (3):

$$R_s = \left(\frac{\pi}{\ln 2}\right) \left(\frac{V_2 - V_4}{I_{R_s}}\right) \quad (3)$$

en donde I_{R_s} es la corriente que fluye desde la terminal 1 a la terminal 3, aplicando un voltaje en las terminales 2 y 4.

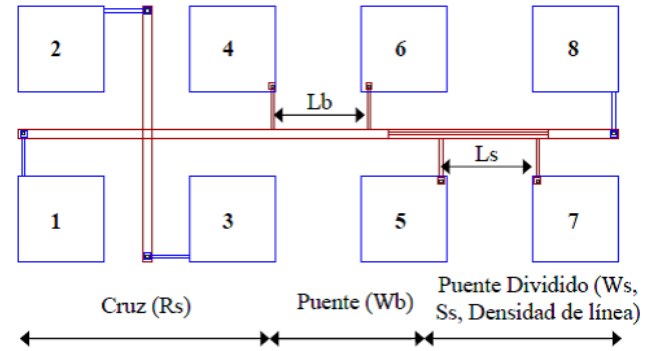


Fig. 5. Dispositivo Cruz-Puente para material polisilicio.

TABLA I.
DISPOSITIVOS CRUZ-PUENTE

Material	Wb (μm)	Lb (μm)	W_s (μm)	L_s (μm)	S (μm)
Polisilicio	9	90	3	90	3
Aluminio	9	123	3	130	3
Difusión n+	30	90	10	90	10
Difusión p+	30	90	10	90	10

La sección central (resistor puente sólido) de este dispositivo se usa para medir variaciones del ancho de línea. Una vez conocido el valor de la resistencia del material de esta sección, el ancho de línea del puente W_b se determina mediante (4):

$$W_b = \frac{R_s L_b I_b}{V_b} \quad (4)$$

en donde L_b es la longitud entre las terminales 4 y 6, I_b es la corriente entre las terminales 1 y 8, y V_b es el voltaje medido entre las terminales 6 y 4.

Finalmente, la última sección (resistor puente con ranura) del dispositivo sirve para medir el ancho mínimo de puente W_s , utilizando (5):

$$W_s = \frac{R_s L_s I_b}{2V_s} \quad (5)$$

en donde L_s es la longitud entre las terminales 5 y 7, mientras que V_s es el voltaje medido entre terminales 5 y 7. Por lo tanto, el espacio S_s entre puentes de ancho mínimo y el ancho de ventana P_s se obtienen mediante (6) y (7):

$$S_s = W_b - 2W_s = \frac{R_s(L_b I_b V_s - L_s I_s V_b)}{V_b V_s} \quad (6)$$

$$P_s = W_s + S_s = \frac{R_s L_s I_s (2V_s - V_b)}{2V_b V_s} \quad (7)$$

A.2.2 Kelvin. Estos dispositivos (Fig. 6) son útiles para determinar la resistencia de contacto entre dos materiales, la cual constituye un elemento parásito que influye en el desempeño y rendimiento de un dispositivo. Para obtener el valor de la resistencia de contacto R_c , se hace pasar una corriente constante entre las terminales 2 y 3 y se mide el voltaje entre las terminales 1 y 4. La relación para la obtención de esta resistencia está dada por (8):

$$R_c = \frac{V_4 - V_1}{I} \quad (8)$$

En el diseño se incluyen dispositivos para medir la resistencia de contacto hacia el metal desde el material de compuerta, difusiones n+ y p+, y material de compuerta dopado (n+ o p+) al momento de fabricar las regiones de fuente/drenaje.

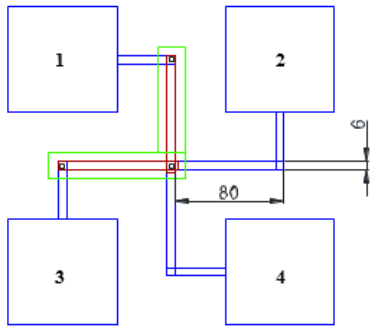


Fig. 6. Dispositivo Kelvin simétrico para medir resistencia de contacto entre polisilicio y metal aluminio.

B. Dispositivos de Pruebas Mecánicas

Al igual que los dispositivos MOS, los dispositivos mecánicos MEMS también necesitan monitores que indiquen la influencia del proceso de fabricación integrado sobre el material estructural. Siempre que se utilice un material en particular para fabricar dispositivos mecánicos, es de suma importancia asegurar que las características estructurales sean adecuadas, y que los esfuerzos a los que se someten los materiales estructurales no alteren el desempeño final del dispositivo o sistema diseñado. Es bien conocido que un recocido térmico reduce la tensión residual en el material estructural [9], sin embargo, el esquema integrado (CMOS-MEMS) expone a los dispositivos mecánicos a una tensión adicional debida al depósito y grabado de los diferentes materiales requeridos por el proceso CMOS. Existen diversos dispositivos para determinar los esfuerzos presentes en un material; sin embargo, con el fin de simplificar el proceso de medición de parámetros, en el presente trabajo se utilizan dispositivos deformables y dispositivos de rotación ya que solo requieren de una inspección sencilla mediante microscopio.

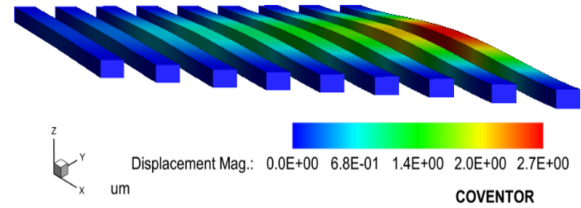
B.1 Para Pruebas de Esfuerzo

Los monitores de gradiente de tensión y los monitores de esfuerzo de tensión/compresión son los dispositivos principales para la caracterización del material estructural. Estos dispositivos de pruebas mecánicas proporcionan información sobre el material. Todos los dispositivos de pruebas mecánicas se diseñaron para detectar tensiones entre 5MPa y 100MPa para los materiales polisilicio, aluminio y titanio; sin embargo, también se pueden utilizar otros materiales como cobre o silicio amorfo sin modificación alguna de los dispositivos.

B.1.1 Puentes fijos (Vigas flotantes con extremos fijos). El esfuerzo residual puede calcularse determinando qué dispositivos muestran una deformación. Con el fin de medir la tensión residual, se diseñó un conjunto de 9 puentes anclados en sus extremos y con dimensiones en el rango de 200 μm a 1000 μm (Fig. 7a). La expresión (9) relaciona la longitud L por unidad de grosor con la tensión residual (σ_{res}) que causa una deformación en la viga.

$$\frac{L}{Z} = \left(\frac{E\pi^2}{3\sigma_{res}} \right)^{\frac{1}{2}} \quad (9)$$

en donde E es el módulo de Young y Z es el grosor del puente. Usando (9) se obtiene la Fig. 7b.



(a)

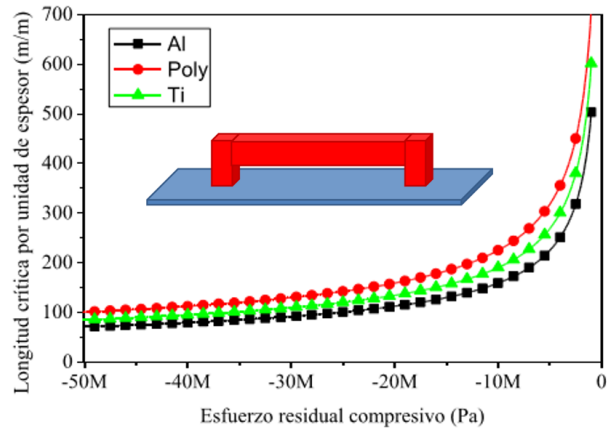


Fig. 7. (a) Simulación de puentes de polisilicio bajo una tensión de compresión residual de 5 MPa, (b) Longitud crítica normalizada al grosor de la viga doblemente anclada para diferentes materiales.

B.1.2 Trampolines (Vigas flotantes con un extremo fijo). Una tensión residual máxima de 50MPa se considera adecuada para dispositivos flotantes de acuerdo con lo establecido en la literatura [10]. Para estimar el gradiente de tensión en la película estructural se diseñó un arreglo de 7 trampolines de longitud variable y cuyas dimensiones se encuentran en el rango de 150 μm a 750 μm (Fig. 8). La longitud de las vigas a partir

de la cual se podría observar una deformación o pandeo h si existiera un gradiente de tensión $\Delta\sigma_{res}$ en el material estructural, se muestra en la Fig. 8b. La gráfica se obtiene usando (10):

$$\frac{L}{Z^{1/2}} = \left(\frac{E2h}{\Delta\sigma_{res}} \right)^{1/2} \quad (10)$$

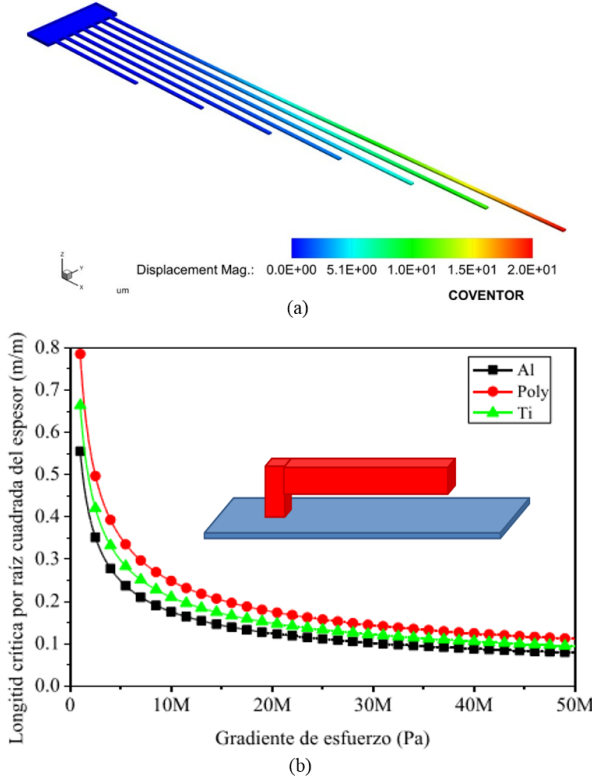


Fig. 8. (a) Vigas flotantes aluminio de $2 \mu\text{m}$ de ancho, simuladas bajo un gradiente de tensión residual de 16 MPa, (b) Relación del gradiente de tensión en una viga flotante y su longitud para diferentes materiales.

B.1.3 Vernier giratorio. Un monitor de tensión mecánica más completo capaz de medir los esfuerzos residuales tanto de tensión como de compresión es el Vernier de giro o rotante propuesto en [6], y cuya medición del esfuerzo de tensión residual es independiente tanto del espesor de la película como de las variaciones del proceso de fabricación [11, 12]. Este dispositivo de prueba se muestra en la Fig. 9 y está convenientemente configurado, incluyendo una copia en espejo (girado 180°), con el fin de medir el desplazamiento amplificado. El diseño se realizó haciendo uso de (11) y reportada en [12].

$$\varepsilon_{res} = \frac{2L_{sb}\delta_v}{3L_{ib}L_{tb}C} \quad (11)$$

$$C = \frac{1 - d^2}{1 - d^3} \quad (12)$$

$$d = \frac{W_{ib}}{L_{sb}} \quad (13)$$

en donde ε_{res} es la tensión residual y δ_v es el desplazamiento generado. L_{sb} , L_{tb} y L_{ib} son las longitudes de la viga de inclinación, la viga de prueba y la viga indicadora, respectivamente; d es la relación del ancho de la viga indicadora W_{ib} y la longitud de la viga de inclinación L_{sb} . C es un factor de corrección debido al uso de la viga indicadora.

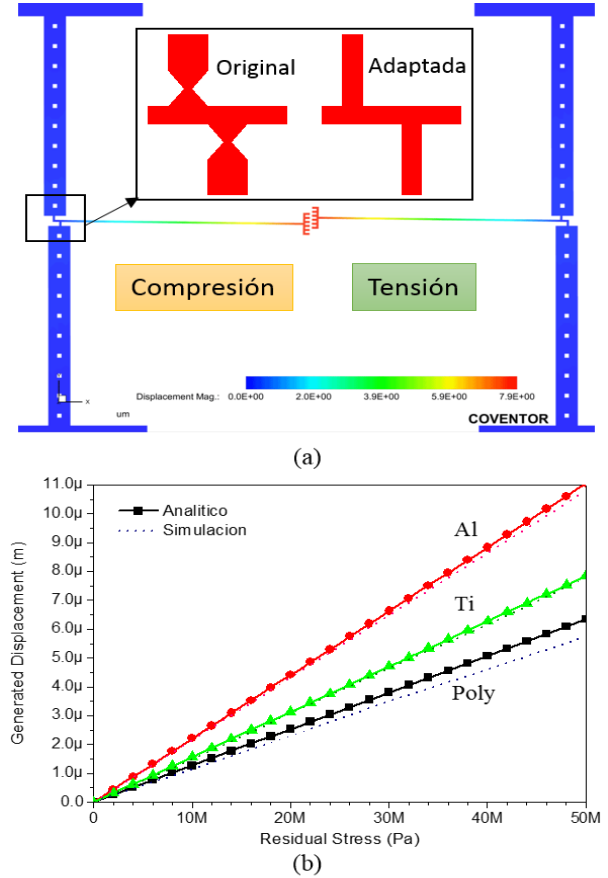


Fig. 9. (a) Vernier giratorio de polisilicio (cuadro punteado) y su aplicación en un indicador de desplazamiento, (b) Desplazamiento obtenido analíticamente y mediante simulación bajo esfuerzo residual.

La Fig. 9b muestra la simulación, usando el programa Coventor Ware[®], de la configuración del Vernier giratorio completo diseñado con un rango de medición de 5-100 MPa, un Módulo de Young de $E = 154 \text{ GPa}$ de acuerdo con las mediciones obtenidas en [13], la relación de Poisson de $\nu = 0.23$ y una resolución (tensión mínima registrable) de 5 MPa cuando se usa polisilicio como material estructural.

C. Para Pruebas de Confiabilidad

C.1.1 Cruces y Puentes. La continuidad de las interconexiones eléctricas entre los dispositivos mecánicos (adentro de la cavidad) y los dispositivos electrónicos CMOS (prácticamente en la superficie de la oblea de silicio) son un componente clave en un proceso MEMS integrado. El esquema integrado utilizado en el presente trabajo utiliza aluminio como material de interconexión. La evaluación de la calidad del metal utilizado

para las interconexiones se realiza con dispositivos de resistencia de hoja de 4 puntas diseñadas para medir la resistencia en la superficie y fondo-superficie de la cavidad [14] como se muestra en la Fig. 10. Mediante los dispositivos diseñados y mostrados en esta figura se podrá cuantificar el efecto de incluir pistas de metal adentro de, o atravesando, una cavidad. Los tres diferentes diseños indicarán si la variación en la resistencia laminar se debe a una variación en el espesor depositado en el fondo y/o en las paredes de la cavidad.

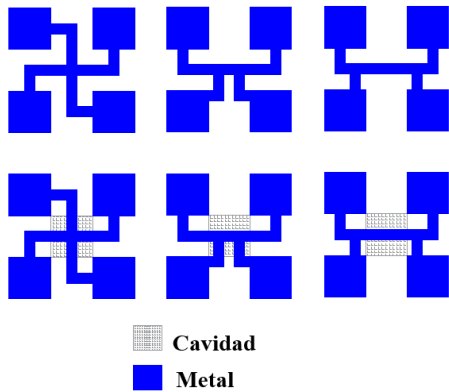


Fig. 10. Cruces y puentes para determinar la calidad del metal (aluminio) en la interconexión de dispositivos electrónicos CMOS y dispositivos mecánicos.

C.1.2 Serpentin. Con el fin de validar el recubrimiento al escalón (continuidad del metal de interconexión sobre escalones) a través de la medición de la resistencia, se diseñaron pistas en forma de serpentina individuales, una de metal atravesando las cavidades, y otra de polisilicio atravesando líneas de óxido de campo. La pista de metal aluminio se muestra en la Fig. 11.

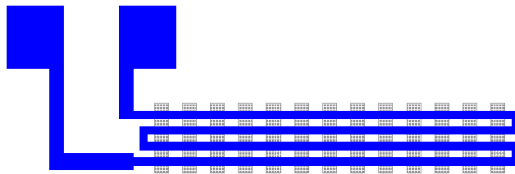


Fig. 11. Serpentina de aluminio.

C.2 Micro-Actuadores

El gravante utilizado para remover el material de sacrificio puede afectar el dispositivo y la geometría del material estructural utilizado modificando el comportamiento diseñado del micro-actuador. Para demostrar la funcionalidad del proceso MEMS integrado, se diseñaron dos arreglos de micro-actuadores tipo *Chevron* (Fig. 12) para verificar las características mecánicas del material estructural. El diseño se realizó de acuerdo con [15], con el fin de tener un diseño funcional considerando diferentes materiales estructurales. Todos los dispositivos mecánicos son fabricados dentro de una cavidad de acuerdo con el flujo del proceso presentado en la Fig. 1, y a continuación, se debe validar la interconexión eléctrica entre los dispositivos mecánicos dentro de la cavidad y los circuitos electrónicos fuera de la misma. Los arreglos de cuatro micro-actuadores utilizan diferentes ángulos iniciales (0.5°, 1°, 2° y 3°) para correlacionar los posibles efectos del

proceso MEMS integrado en el desempeño de los micro-dispositivos.

En la Fig. 13a, se muestra la fuerza generada por un solo par de brazos para diferentes materiales con diferente longitud. La Fig. 13b muestra la estimación de la fuerza de un micro-actuador debida a la desviación generada de una viga fija en sus extremos. Finalmente, si se observa algún pandeo en el arreglo de micro-actuadores, el proceso de fabricación deberá optimizarse aún más; de lo contrario, el proceso integrado es incompatible con los dispositivos mecánicos.

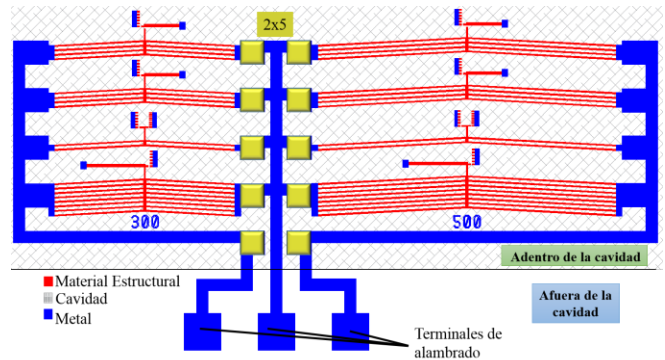


Fig. 12. Arreglos de micro-actuadores tipo Chevron.

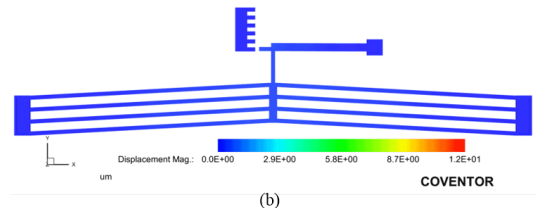
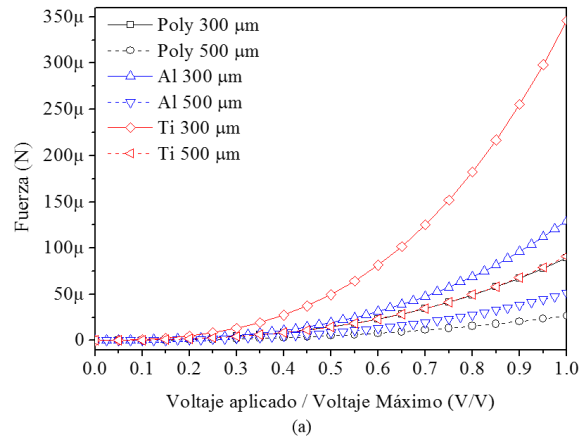


Fig. 13. Actuador tipo Chevron: (a) Fuerza generada por un solo brazo para diferentes materiales, (b) Estimación de la fuerza utilizando la desviación generada.

C.3 Monitores Fotolitográficos y Marcas de Alineación

En un proceso monolítico es deseable que exista una marca de alineación única con la cual puedan alinearse todas las mascarillas. Sin embargo, cuando los materiales utilizados en los dispositivos mecánicos requieren grosores mayores a 1μm, el uso de marcas de alineación tradicionales junto con las utilizadas para los dispositivos CMOS complicará el recubrimiento al escalón dentro de la cavidad y la litografía de los materiales subsiguientes. Con el fin de monitorear esta

situación se propone el diseño de un arreglo de geometrías sencillas colocadas cerca de la cavidad a diferentes distancias, tal como se muestra en la Fig. 14 y la Fig. 15. La distancia mínima que define correctamente las geometrías será aquella donde los cuadros se observen bien definidos en las esquinas. También, considerando que los procesos de dopado del proceso CMOS no dejan marca alguna en la oblea, es necesaria una marca de alineación global con la cual alinear todas las mascarillas. Para este fin, se propone un arreglo de geometrías (Fig. 16) en donde las cavidades forman una cruz con la cual se alinearán las mascarillas de los dispositivos CMOS; mientras que adentro de las cavidades se formarán patrones para formar los dispositivos mecánicos.

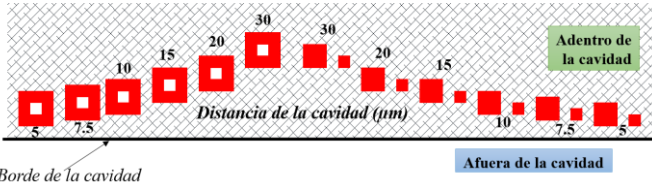


Fig. 14. Monitor de calidad de fotolitografía en bordes de la cavidad.

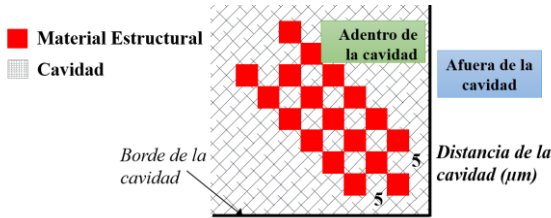


Fig. 15. Monitor de calidad de fotolitografía en esquinas de la cavidad.

IV. CIRCUITO INTEGRADO DE PRUEBAS (CIP)

Los diferentes dispositivos de prueba electrónicos y mecánicos presentados en la sección III se incluyeron en un circuito integrado de 4.3 mm x 4.2 mm para su fabricación. En la Fig. 17 se muestra la distribución de los 120 dispositivos de prueba diseñados adentro del CIP. La distribución de los diversos dispositivos de prueba en el CIP se realizó en base a las siguientes consideraciones:

- Todos los dispositivos mecánicos son afectados por la tensión durante la fabricación, por lo que su ubicación en el CIP es crítica para garantizar el funcionamiento óptimo de los mismos. Por lo general, los dispositivos mecánicos se prueban a nivel oblea de silicio y la tensión residual se produce durante el proceso de fabricación, por lo que es mejor ubicarlos en el centro (cuadrado verde de la Fig. 17) del CIP donde las tensiones inducidas son más uniformes.
- Se utilizó un arreglo de terminales (E/S) 2x5 en el diseño de todos los dispositivos de prueba para facilitar el proceso de prueba postproceso usando tarjetas de prueba estándar. El uso de E/S 2xN (N es un número entero) permite que estas terminales sean parte integral de los dispositivos de prueba, evitando así tener interconexiones comunes entre los dispositivos de prueba y, por ende, evitar la interferencia entre ellos. Además, el arreglo permite obtener el mayor grado de modularidad [7, 16] y optimización del área disponible del CIP.
- El módulo de terminales E/S 2x5 utilizado se utiliza principalmente para la medición de los dispositivos MOS,

debido a que generalmente para la caracterización de procesos de fabricación se requiere de una gran cantidad de mediciones en períodos de tiempo cortos por lo que generalmente se utilizan equipos de prueba automáticos. El CI de pruebas diseñado incluye un total de 32 arreglos de terminales E/S.

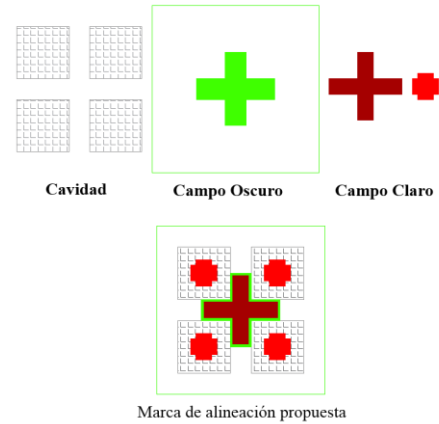


Fig. 16. Marcas de alineación en el proceso CMOS-MEMS.

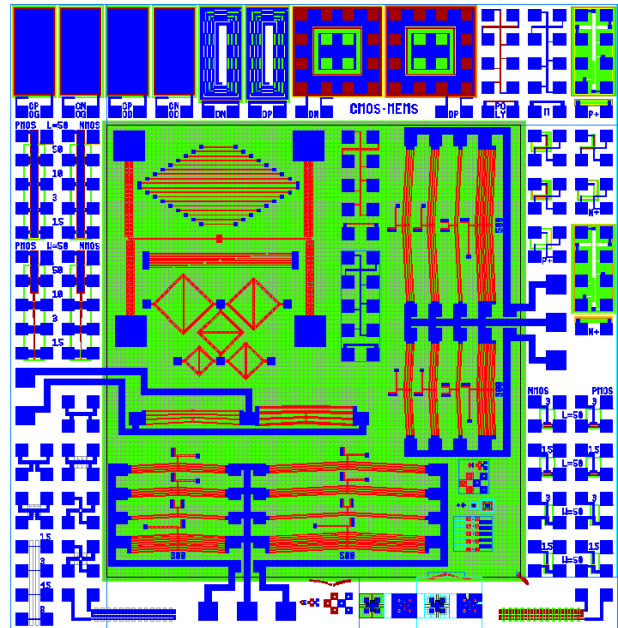


Fig. 17. Patrón geométrico (layout) del CIP para el proceso integrado genérico y modular IntraCMOS-MEMS.

V. RESULTADOS EXPERIMENTALES PRELIMINARES

El primer paso en el desarrollo del proceso IntraCMOS-MEMS utilizando la infraestructura del Laboratorio LIMEMS-INAOE, es la definición de patrones dentro y fuera de la cavidad, por ello se realizaron experimentos con diferentes fotoresinas, usando procesos fotolitográficos tradicionales y evaluando las geometrías obtenidas. Se grabó una cavidad de 8 μ m de profundidad, y utilizando otra mascarilla se definieron estructuras con geometrías de 5 μ m de dimensión mínima en el fondo de la cavidad. En la Fig. 18 se pueden observar geometrías de 5 μ m bien definidas adentro de la cavidad cerca del borde así como lejos de él, en donde las geometrías no presentan variación conforme se acercan al borde de la cavidad.

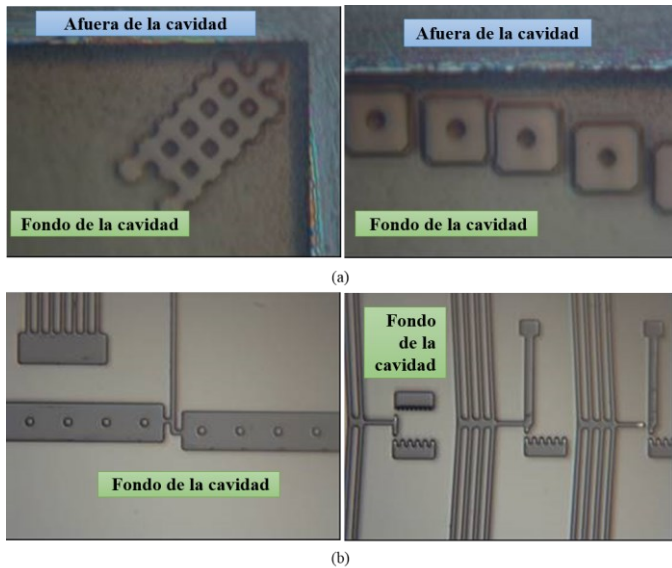


Fig. 18. Dispositivos de $5\mu\text{m}$ de dimensión: (a) en el borde interior de la cavidad (Ver figuras 14 y 15), (b) adentro de la cavidad (Ver Fig.12).

VI. CONCLUSIONES

Se presentó un conjunto de dispositivos de prueba para la evaluación y retroalimentación del desarrollo de un proceso de fabricación integrado monolítico, genérico y modular IntraCMOS-MEMS. Los diferentes dispositivos de prueba diseñados proporcionarán información de las propiedades eléctrica, óptica y mecánica de los materiales utilizados, así como de parámetros de funcionamiento de dispositivos MOS, para estudiar la viabilidad de la integración de electrónica CMOS y dispositivos mecánicos MEMS. El arreglo modular de terminales entrada/salida 2×5 utilizado, permitirá hacer mediciones de una forma rápida y precisa, con el fin de obtener datos para la realización de análisis estadísticos de procesos de fabricación integrados CMOS-MEMS. Los elementos monitores de control y los dispositivos MOS individuales permitirán probar su funcionamiento y obtener sus parámetros antes, durante y después del proceso integrado, con el fin de evaluar la influencia del proceso de fabricación etapa por etapa y al final del proceso de integración completo. Se diseñaron nuevas marcas de alineación que incluyen dispositivos MEMS y dispositivos MOS sin limitación del campo de las mascarillas (campo claro u oscuro) y sin afectar el flujo del proceso. Finalmente, los diferentes dispositivos de prueba diseñados fueron incluidos en un CI de pruebas y cuyos resultados serán útiles para afinar las diferentes rutinas de simulación, así como expresiones analíticas, generando una retroalimentación para la optimización de procesos de fabricación integrados MEMS.

REFERENCIAS

- [1] Sandia Lab's. *MEMS Video & Image Gallery* (2016). http://www.sandia.gov/mstc/mems_info/movie_gallery.html
- [2] P. H. Kao, P. J. Shih, C. L. Dai, and M. C. Liu, "Fabrication and characterization of CMOS-MEMS thermoelectric Micro Generators", *Sensors*, vol. 10, no. 2, pp. 1315–25, 2010.

- [3] T. A. C. Fischer, F. Forsberg, M. Lapisa, S. J. Bleiker, G. Stemme, N. Roxhed and F. Niklaus. "Integrating MEMS and ICs" *Microsystems & Nanoengineering*, vol. 1, no. 1, pp. 1-16, 2015.
- [4] M. Bhushan and M. B. Ketchen, *Microelectronic Test Structures for CMOS Technology*, New York, Springer, 2011.
- [5] Y. Zhang, Y. Zhao, "An effective method of determining the residual stress gradients in a micro-cantilever", *Microsystem Technology*, vol. 12, no. 4, pp. 357–364, 2006.
- [6] C. A. Wilfrido, L. A. Mónico, T. J. Alfonso, B. Á. Carlos, "A Modular and Generic Monolithic Integrated MEMS Fabrication Process", *Revista Superficies y Vacío*, vol. 30, no. 3, pp. 30-39, 2017.
- [7] C. R. Báez Álvarez, "Diseño de un proceso integrado de fabricación de sistemas micro-electromecánicos (MEMS) genérico y modular", Ph.D. thesis, Instituto Nacional de Astrofísica, Óptica y Electrónica, Junio 2016.
- [8] B. El-Kareh and R. J. Bombard, *Introduction To VLSI Silicon Devices*, Springer International Series in Engineering and Computer Science, 1986.
- [9] Y. B. Gianchandani, H. Kim, M. Shinn, "A fabrication process for integrating polysilicon microstructures with post-processed CMOS circuits", *J. Micromechanics and Microengineering*, vol. 10, no. 10, 2000.
- [10] S. Beeby, G. Ensell, M. Kraft, N. White, *MEMS mechanical sensors*, Artech House, 2003.
- [11] L. Elbrecht, U. Storm, R. Catanescu, and J. Binder, "Comparison of stress measurement techniques in surface micromachining", *J. Micromechanics Microengineering*, vol. 7, no. 3, pp. 151-154, 1997.
- [12] L. Lin, A. P. Pisano, R. T. Howe, A micro strain gauge with mechanical amplifier, *J. Microelectromechanical System*, vol. 6, no. 4, pp. 313-321, 1997.
- [13] F. J. Quiñones-N, F. J. De la Hidalga-W, M. Moreno, J. Molina, C. Zúñiga, and W. Calleja, "Mechanical characterization of polysilicon cantilevers using a thermo-mechanical test chip fabricated with a combined bulk/surface micromachining technique", *Results Phys.*, vol. 4, pp. 119-120, 2014.
- [14] T. M. Verhaar, J. Wei, and P. M. Sarro, "Pattern transfer on a vertical cavity sidewall", *J. Micromechanics Microengineering*, vol. 19, no. 7, 2009.
- [15] C. R. Baez Alvarez, M. Linares Aranda, W. Calleja Arriaga, and J. Molina Reyes, "Effect of changing the material and device's properties on the performance of polysilicon-based microactuators", *Int. Conf. on Electrical Engineering, Computing Science and Automatic Control*, pp. 415-420, 2013.
- [16] M. G. Buehler, "Comprehensive test patterns with modular test structures: The 2 by N probe pad array approach". *Solid State Technology*, vol. 10, pp. 89-94, 1979.



Luis Hernández Martínez. Obtuvo los grados de licenciado en Electrónica, Maestro en ciencias en Electrónica, y de Doctor en ciencias de la Electrónica en 1989, 1995 y 2001, respectivamente. Hizo un postdoctorado en la École Polytechnique Fédérale de Lausanne Laboratory of Nonlinear Systems en 2003.

Actualmente Investigador titular en INAOE.



Mónico Linares Aranda. Obtuvo los grados de Licenciatura, Maestría y Doctorado con especialidad Ciencias de la Electrónica en 1985, 1986 y 1996, respectivamente. Desde 1986 es investigador titular en el área de Electrónica del Instituto Nacional de Astrofísica, Óptica y Electrónica desde

1986. Ha publicado más de 100 artículos en conferencias y revistas científicas nacionales e internacionales en el campo de CIs y MEMS.



F. Javier de la Hidalga Wade. Obtuvo los grados de Licenciado, Maestro y Doctor con especialidad Ciencias de la Electrónica en 1992, 1994 y 1998, respectivamente. Actualmente es investigador titular en el área de Electrónica del Instituto Nacional de Astrofísica, Óptica y Electrónica.