

Designing a Doherty Power Amplifier Without Offset Compensation Lines

U. Malagon-Reyes, J. R. Loo-Yau, *Member, IEEE*, D. Ochoa-Armas, *Student Member, IEEE*, and L. M. Aguilar-Lobo, *Member, IEEE*

Abstract—This work presents the equivalent electrical circuit (EEC) analysis of the 2-way Doherty Power Amplifier (DPA). For this purpose, the sub-amplifiers used in the 2-way DPA are modeled using real voltage sources instead of ideal sources. For the first time, the general voltage and current equations for each node of the EEC are determined using circuit theory with transmission line concepts. The analysis results explain some of the empirical practices carried out in other works to tune the 2-way DPA response, such as offset lines or asymmetrical bias voltages, etc. This analysis allows us to examine the impact that the auxiliary sub-amplifier bias voltage has on the efficiency of the 2-way DPA, suggesting the use of the phase-to-amplitude distortion (AM-PM) of the auxiliary sub-amplifier to eliminate the compensation lines that are commonly implemented arbitrarily in the 2-way DPA, whose objective is to synchronize the output signals of the sub-amplifiers. The experimental data of a 20 W (43 dBm) 2-way DPA designed and fabricated for a central frequency of 1.875 GHz with GaN transistors validate the proposed idea, resulting in a compact design and a significantly reduced design time.

Index Terms—Doherty power amplifier, offset compensation lines, AM/PM, circuit analysis.

I. INTRODUCCIÓN

El Amplificador de Potencia Doherty (APD) [1] es usado en los sistemas de comunicaciones inalámbricas que utilizan señales de envolvente no constante, debido a su capacidad de mantener una alta eficiencia en un rango moderado de potencias de salida. Esta característica es una gran ventaja con respecto a los amplificadores de potencia clase A, B, AB, C, E, F o J, que alcanzan su máxima eficiencia exclusivamente a la máxima potencia de salida.

La Fig. 1 muestra un diagrama de bloques de un APD de 2 etapas, cuyos bloques principales son: un divisor de potencia a la entrada; dos sub-amplificadores de potencia denominados principal y auxiliar; un circuito inversor de impedancia que conecta las salidas de los sub-amplificadores y que a frecuencias de RF es una línea de transmisión de cuarto de onda ($\lambda/4$); y una red de acoplamiento de impedancia. Además, cuenta con varias líneas de compensación en diferentes partes del APD,

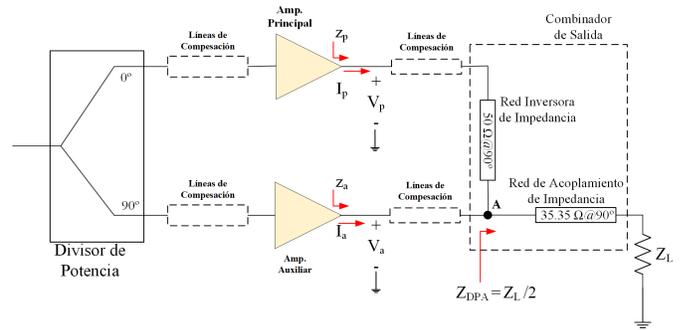


Fig. 1. Diagrama de bloques del APD de 2 etapas.

lo cual requiere un área mayor en el circuito impreso, y que a su vez complica la unión de las redes de adaptación de salida de los sub-amplificadores con el combinador de salida. Estas líneas de compensación se utilizan para sincronizar las señales de salida de los sub-amplificadores en el nodo A [2]-[8].

Determinar las dimensiones físicas o eléctricas de estas líneas de transmisión es uno de los grandes problemas en el diseño del APD de 2 etapas. Algunos trabajos como [7], [8], se han centrado en las líneas de compensación a la salida de los sub-amplificadores, proponiendo una relación entre la longitud eléctrica de estas líneas con el ángulo del coeficiente de transmisión en directa ($\angle S_{21}$) de la red de acoplamiento de salida de cada uno de los sub-amplificadores, pero esto solo es válido si los sub-amplificadores son ideales.

Por otro lado, esta aproximación no contempla el efecto no lineal de la distorsión de fase por amplitud (AM-PM) inherente en los transistores de los sub-amplificadores [9], y que depende de los voltajes de polarización. Idealmente, la distorsión AM-PM de los transistores debe considerarse para el diseño de los sub-amplificadores para poder determinar con mayor precisión la longitud física de las líneas de compensación. Sin embargo, la caracterización de la distorsión AM-PM no es una tarea sencilla ni económica, ya que requiere de un complejo banco de medición.

El propósito de este trabajo es demostrar experimentalmente que por medio del ajuste de los voltajes de polarización, primordialmente del sub-amplificador auxiliar, se puede evitar el uso de las líneas de compensación. Esta idea se sustenta a través de un análisis completo del modelo de Circuito Eléctrico Equivalente (CEE) del APD de 2 etapas usando conceptos de líneas de transmisión y modelando a los sub-amplificadores como fuentes de voltaje reales, en lugar de ideales. Los resultados del análisis del CEE son validados con

Manuscript received June, 21, 2020.

This work was supported by CONACYT-México under projects number 163272 and 206029.

U. Malagón-Reyes was with the Centro de Investigación y Estudios Avanzados del IPN, Unidad Guadalajara (Cinvestav-GDL). He is now with Visteon de México S. RL, Querétaro, México.

J. R. Loo-Yau, D. Armas-Ochoa are with the Centro de Investigación y de Estudios Avanzados del I. P. N. Unidad Guadalajara (Cinvestav-GDL), Zapopan, Jalisco, México (email: rloo@gdl.cinvestav.mx).

L. M. Aguilar-Lobo is with the Universidad Autónoma de Guadalajara, Av. Patria 1201, Lomas del Valle, 45129 Zapopan, Jal, México (email: lina.aguilar@edu.uag.mx)

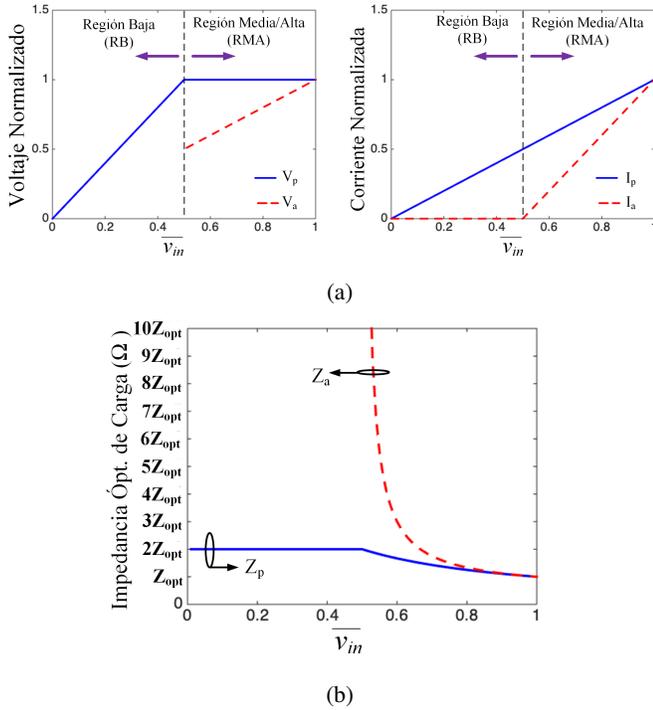


Fig. 2. Características ideales del APD de 2 etapas: a) Voltajes y corrientes de salida ideales de los sub-amplificadores; b) Impedancia de salida de los sub-amplificadores.

datos experimentales de un APD de 2 etapas diseñado a 1.875 GHz con potencia de salida de 20 Watts (43 dBm) basado en transistores de Nitruro de Galio (GaN).

Cabe señalar que la temática de este trabajo es poco conocida en Latinoamérica (IEEE R9), por lo que esta contribución exhorta a la comunidad científica a participar en este nicho de oportunidad.

II. COMPORTAMIENTO IDEAL DE UN APD DE 2 ETAPAS

El funcionamiento ideal del APD de 2 etapas se explica a grandes rasgos por medio del modelado del comportamiento de los voltajes y corrientes ideales de salida de los sub-amplificadores, que se describen en la Fig. 2a. Estos parámetros eléctricos se representan por medio de la ecuación de la recta. Note que los voltajes y corrientes de salida están en función del voltaje normalizado de entrada ($\bar{v}_{in} = v_{in}/v_{in_{max}}$). De la Fig. 2a, se concluyen los siguientes puntos:

- El sub-amplificador principal está activo en todo momento. De hecho se distinguen dos regiones de operación, que llamaremos Región Baja (RB) y Región Media/Alta (RMA).
- El sub-amplificador auxiliar se enciende y contribuye con voltaje y corriente en la RMA.
- Los voltajes y corrientes de los sub-amplificadores convergen al mismo valor cuando se alcanza el voltaje de entrada máximo ($\bar{v}_{in} = 1$).

Como es bien sabido, cuando se satura el voltaje de salida de un amplificador de potencia, se logra la máxima eficiencia, pero esto solo sucede al voltaje de entrada máximo. Esto quiere

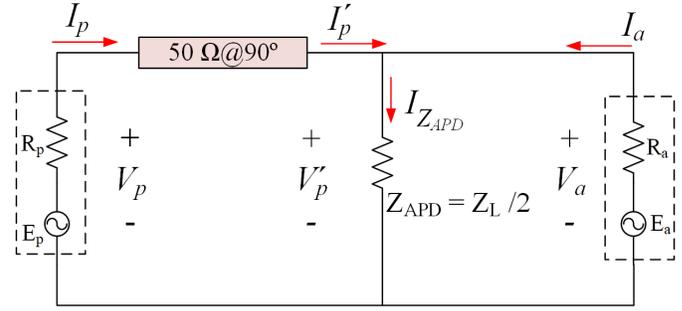


Fig. 3. Circuito eléctrico equivalente del APD de 2 etapas modelando a los sub-amplificadores como fuentes de voltaje reales.

decir que no se puede obtener una alta eficiencia para niveles de voltaje de salida bajos, o dicho de otra manera a niveles por debajo de la potencia máxima de salida.

En el caso del APD de 2 etapas, el voltaje de salida del sub-amplificador principal debe estar saturado antes de llegar al voltaje de entrada máximo. Para lograr esto, se emplea el principio de la modulación de carga, que consiste en variar las impedancias de carga de los sub-amplificadores, Z_p y Z_a , en función del voltaje de entrada. Basado en los voltajes y corrientes de salida normalizados de los sub-amplificadores, se pueden calcular los valores óptimos de la impedancia de carga del sub-amplificador principal y auxiliar (Z_p y Z_a), y cuyo resultado se puede observar en la Fig. 2b. En la RB, se puede observar que la impedancia de carga Z_p es el doble de su valor óptimo, es decir, si el valor de la impedancia de carga del sub-amplificador principal es diseñado a Z_L , entonces, $Z_p = 2Z_L$; mientras que en el caso del sub-amplificador auxiliar la impedancia de carga es alta (infinita) debido a que se encuentra apagado ($I_a = 0$). En la RMA, ambas impedancias comienzan a cambiar en función de \bar{v}_{in} hasta converger al mismo valor.

La potencia de salida y la eficiencia del APD de 2 etapas, no se pueden obtener directamente de los voltajes y corrientes ideales de los dos sub-amplificadores, principalmente por el efecto de la red inversora de impedancia. Para esto se requiere hacer el análisis del Circuito Eléctrico Equivalente (CEE) del APD de 2 etapas, modelando a los sub-amplificadores como fuentes de voltaje reales y expresando el voltaje de cada nodo del CEE en función de su respectivo voltaje incidente. Esta aproximación permite encontrar las expresiones generales de voltaje y corriente para cada nodo del CEE.

III. ANÁLISIS DEL CEE DEL APD DE 2 ETAPAS

La Fig. 3 muestra el CEE propuesto para el APD de 2 etapas modelando a los sub-amplificadores como fuentes de voltaje reales. Ésta es una aproximación diferente al clásico modelo donde los sub-amplificadores de potencia se modelan como fuentes ideales de voltaje o de corriente [1]-[7]. La red de acoplamiento de impedancia no se considera en este análisis, ya que solo es una red que transforma la impedancia Z_{APD} a Z_L . En este caso $Z_{APD} = Z_L/2$, esto es con el fin de cumplir la condición de Z_p en la RB, tal como se muestra en la Fig. 2b, ya que la línea de transmisión de $\lambda/4$ (red inversora de impedancia) transforma $Z_L/2$ a $2Z_L$. El análisis se divide en

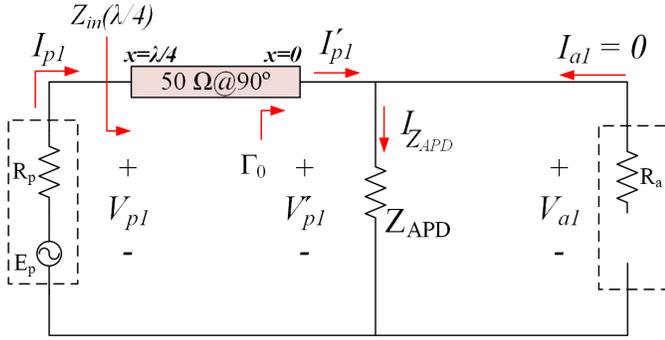


Fig. 4. Circuito eléctrico equivalente del APD de 2 etapas para el análisis en la región baja.

dos secciones, de acuerdo a las regiones de operación, y se asume que la línea de transmisión de $\lambda/4$ no presenta pérdidas.

A. Región Baja: Sub-amplificador Principal Encendido y Sub-amplificador Auxiliar Apagado

En esta sección del análisis el sub-amplificador auxiliar está apagado, lo que implica que no hay contribución de corriente hacia la carga Z_{APD} , es decir, solo el sub-amplificador principal está operando. El CEE del APD de 2 etapas se muestra en la Fig. 4. Los voltajes y corrientes de los sub-amplificadores se calculan con (1)–(3).

$$I_{p1} = \frac{E_p}{R_p + Z_{in}(\lambda/4)}, \quad (1)$$

$$V_{p1} = Z_{in}(\lambda/4)I_{p1}, \quad (2)$$

$$Z_{in}(\lambda/4) = \frac{Z_o^2}{Z_{APD}}. \quad (3)$$

Ahora el voltaje y la corriente en la carga se determinan por (4) y (5):

$$V'_{p1} = V_{p1}^+(1 + \Gamma_0), \quad (4)$$

$$I'_{p1} = I_{Z_{APD}} = \frac{V'_{p1}}{Z_{APD}}, \quad (5)$$

donde el voltaje incidente V_{p1}^+ y el coeficiente de reflexión Γ_0 se definen por (6) y (7):

$$V_{p1}^+ = \frac{V_{p1}}{e^{j\frac{\pi}{2}}(1 + \Gamma_0 e^{-j\pi})}, \quad (6)$$

$$\Gamma_0 = \frac{Z_{APD} - Z_0}{Z_{APD} + Z_0}. \quad (7)$$

B. Región Media/Alta: Sub-amplificadores Principal y Auxiliar Encendidos

En la RMA, el voltaje de salida del sub-amplificador principal está saturado y el sub-amplificador auxiliar comienza a contribuir con corriente a la carga Z_{APD} . Dado que los dos sub-amplificadores están trabajando simultáneamente, el análisis se realiza por medio de la técnica de superposición. Por lo tanto, el análisis se divide en dos partes (Análisis A y Análisis B). En la primera parte se considera la contribución

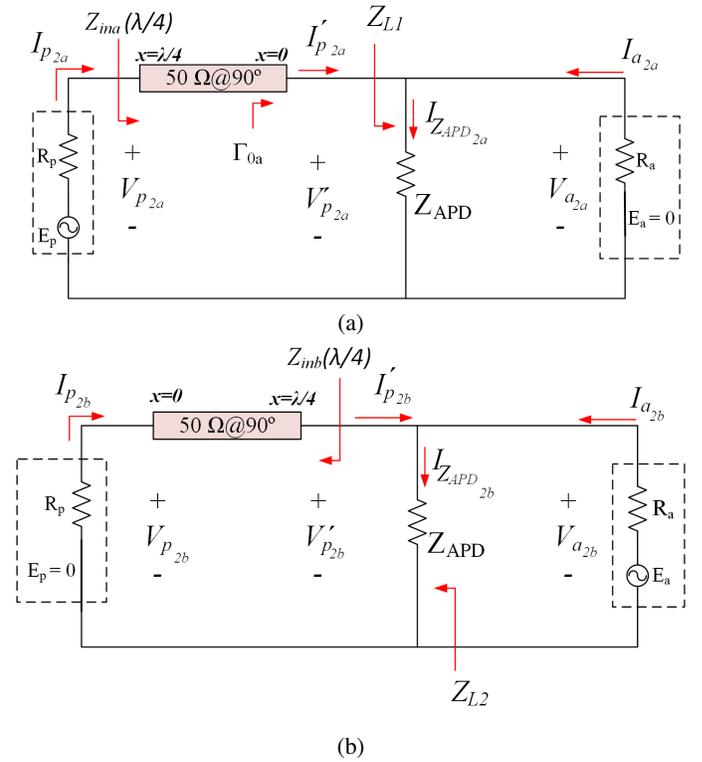


Fig. 5. Circuito eléctrico equivalente del APD de 2 etapas para el análisis en la región media/alta: a) Análisis A; b) Análisis B.

del sub-amplificador principal, mientras que en la segunda parte se considera exclusivamente la contribución del sub-amplificador auxiliar.

Análisis A: Contribución del Sub-amplificador Principal:

En la Fig. 5a se presenta el CEE para este caso, donde hay que recordar que el voltaje de salida del sub-amplificador principal ha alcanzado la saturación (V_{sat}) y la fuente de voltaje E_a es igual a cero ($E_a=0$). La expresión analítica para la corriente de salida del sub-amplificador principal se calcula con (8)–(10).

$$I_{p2a} = \frac{E_p}{R_p + Z_{in_a}(\lambda/4)}, \quad (8)$$

$$Z_{in_a}(\lambda/4) = \frac{Z_0^2}{Z_{L1}}, \quad (9)$$

$$Z_{L1} = \frac{R_a Z_{APD}}{R_a + Z_{APD}}. \quad (10)$$

Además, el voltaje de salida del sub-amplificador principal se puede expresar a través de (11).

$$V_{p2a} = I_{p2a} Z_{in_a}(\lambda/4). \quad (11)$$

Ahora, el voltaje en la carga Z_{APD} puede determinarse con (12)–(14).

$$V'_{p2a} = V_{Z_{APD}2a} = V_{p2a}^+(1 + \Gamma_{0a}), \quad (12)$$

$$V_{p2a}^+ = \frac{V_{p2a}}{e^{j\frac{\pi}{2}}(1 + \Gamma_{0a} e^{-j\pi})}, \quad (13)$$

$$\Gamma_{0a} = \frac{Z_{L1} - Z_0}{Z_{L1} + Z_0}, \quad (14)$$

Observe que (12) es además el voltaje de salida del sub-amplificador auxiliar ($V_{a2a} = V'_{p2a}$). Por otro lado, la corriente de salida de la red inversora de impedancia debido al sub-amplificador principal se determina con (15).

$$I'_{p2a} = \frac{V'_{p2a}}{Z_{L1}}. \quad (15)$$

Además, la corriente en la carga Z_{APD} se puede escribir como se muestra en (16).

$$I_{Z_{APD}2a} = \frac{V'_{p2a}}{Z_{APD}}. \quad (16)$$

Finalmente, (17) representa la corriente de salida del sub-amplificador auxiliar.

$$I_{a2a} = I_{Z_{APD}2a} - I'_{p2a}. \quad (17)$$

Análisis B: Contribución del Sub-amplificador Auxiliar: La Fig. 5b describe el CEE correspondiente a este análisis. En este caso la fuente de voltaje E_p es cero ($E_p = 0$), y el voltaje E_a incrementa a medida que \bar{v}_{in} va aumentando hasta llegar a la saturación del voltaje de salida del sub-amplificador principal. En este punto del análisis, es importante recordar que el voltaje de salida del sub-amplificador principal es la suma de V_{p2a} y V_{p2b} , y su resultado es igual al voltaje de saturación, por lo tanto, V_{p2b} se puede determinar a través de (18).

$$V_{p2b} = V_{sat} - V_{p2a}. \quad (18)$$

Con respecto a la corriente de salida del sub-amplificador principal, es importante comentar que la ganancia de éste está comprimida, por lo que su corriente de salida tiende a disminuir. Este hecho se puede interpretar como un efecto de una resistencia negativa, tal como se señala en [1]. Por lo tanto, la corriente de salida del sub-amplificador principal se estima por medio de (19).

$$I_{p2b} = -\frac{V_{p2b}}{R_p}. \quad (19)$$

Ahora, la corriente de salida del sub-amplificador auxiliar se puede calcular por (20)–(22).

$$I_{a2b} = \frac{E_a}{R_a + Z_{L2}}, \quad (20)$$

$$Z_{L2} = \frac{Z_{in_b}(\lambda/4)Z_{APD}}{Z_{in_b}(\lambda/4) + Z_{APD}}, \quad (21)$$

$$Z_{in_b}(\lambda/4) = \frac{Z_0^2}{R_p}. \quad (22)$$

Además, el voltaje de salida del sub-amplificador auxiliar se determina a través de (23).

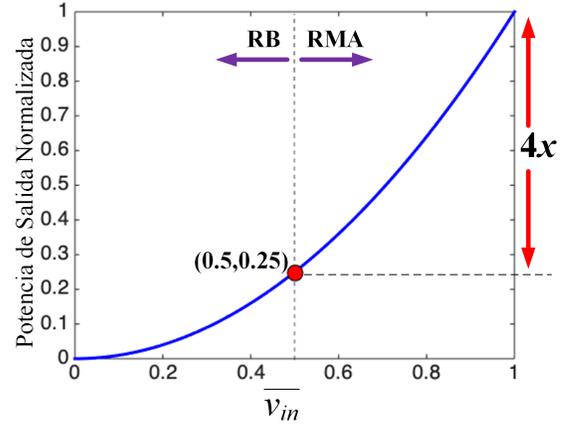
$$V_{a2b} = V_{Z_{APD}2b} = I_{a2b}Z_{L2}. \quad (23)$$

Por lo tanto, la corriente en la impedancia de carga se determina con (24).

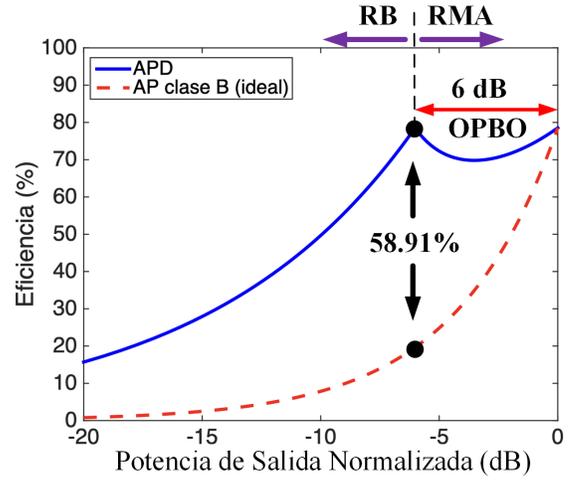
$$I_{Z_{APD}2b} = \frac{V_{a2b}}{Z_{APD}}. \quad (24)$$

Finalmente, (25) representa la corriente a la salida del circuito inversor de impedancia.

$$I'_{p2b} = I_{Z_{APD}2b} - I_{a2b}. \quad (25)$$



(a)



(b)

Fig. 6. Características ideales del APD de 2 etapas: a) Potencia de salida normalizada; b) Eficiencia.

C. Potencia de Salida y Eficiencia

La potencia de salida se determina para las dos regiones de operación. En ese sentido, la potencia de salida se estima por medio de (26)–(29),

$$P_{Z_{APD}}^{RB} = \frac{1}{2} |V_{p1}| |I'_{p1}| \cos(\angle Z_{APD}), \quad (26)$$

$$P_{Z_{APD}}^{RMA} = \frac{1}{2} |V_{Z_{APD}}^{RMA}| |I_{Z_{APD}}^{RMA}| \cos(\angle Z_{APD}), \quad (27)$$

$$V_{Z_{APD}}^{RMA} = V'_{Z_{APD}2a} + V'_{Z_{APD}2b}, \quad (28)$$

$$I_{Z_{APD}}^{RMA} = I_{Z_{APD}2a} + I_{Z_{APD}2b}. \quad (29)$$

La Fig. 6a, presenta la potencia de salida normalizada del APD de 2 etapas, bajo condiciones ideales. Además, se tiene que la potencia máxima de salida es 4 veces mayor que la potencia máxima en la RB, cuya contribución es exclusivamente del sub-amplificador principal.

Por otro lado, la eficiencia (η) se define como la relación entre la potencia de RF en la carga con respecto a la potencia de DC, por lo tanto η se define en (30),

$$\eta = \frac{P_{Z_{APD}}}{P_{DCp} + P_{DCa}}, \quad (30)$$

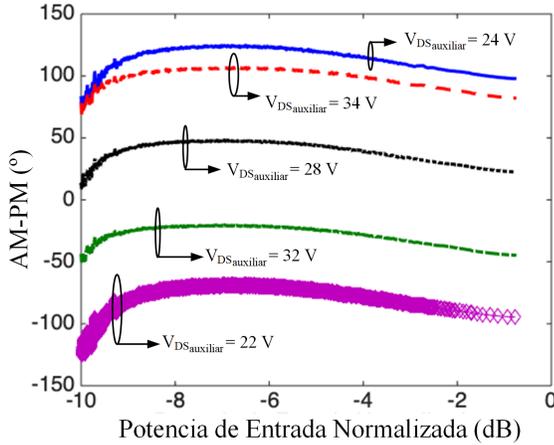


Fig. 7. Distorsión AM-PM de un amplificador polarizado como un amplificador clase C a diferentes voltajes de drenador y con $V_{GS} = -7.0$ V.

donde P_{DCp} y P_{DCa} son las potencias de DC en los sub-amplificadores principal y auxiliar, respectivamente. Asumiendo que ambos sub-amplificadores son amplificadores de potencia clase B, la potencia de DC de éstos se puede determinar con (31) y (32).

$$P_{DCp} = \frac{2I_p}{\pi}, \quad (31)$$

$$P_{DCa} = \frac{2I_a}{\pi}. \quad (32)$$

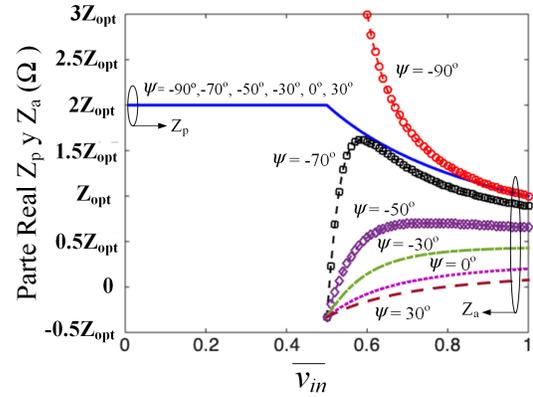
La Fig. 6b muestra la respuesta ideal de la eficiencia del APD de 2 etapas en función de la potencia de salida normalizada en dB, y de la cual se desprende la figura de mérito *Output Power Back-Off* (OPBO por sus siglas en inglés), que significa el rango de potencias de salida por debajo de la máxima, a la cual se tiene una eficiencia alta. Estrictamente hablando, el OPBO en el APD de 2 etapas se define como el valor absoluto de la diferencia de las potencias de salida en dBm, o su valor normalizado en dB, correspondientes a los dos valores máximos de eficiencia.

Es importante resaltar que la eficiencia del APD de 2 etapas a niveles por debajo de la potencia máxima, en este caso hasta 6 dB menos, es alta, de hecho los máximos se obtienen en 6 y 0 dB de OPBO, y entre estos dos puntos la eficiencia baja aproximadamente 10%, tal como se observa en la Fig. 6b. Cualquier otro perfil de eficiencia diferente lo consideraremos como un APD de 2 etapas cuasi-óptimo.

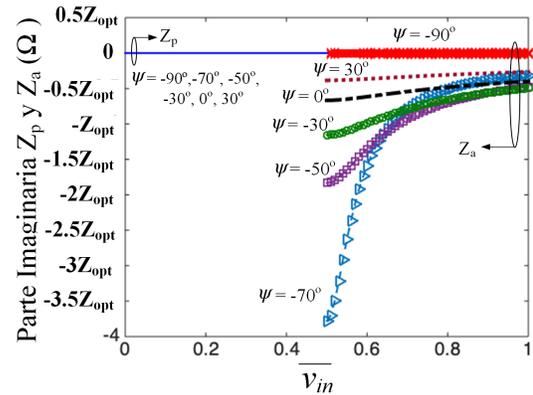
Es clara la ventaja que tiene el APD de 2 etapas con respecto al de un amplificador de potencia clase B, en el cual a 6 dB por debajo de la máxima potencia de salida se tiene una diferencia de más de 50% de eficiencia.

IV. EL APD DE 2 ETAPAS BAJO CONDICIONES NO IDEALES

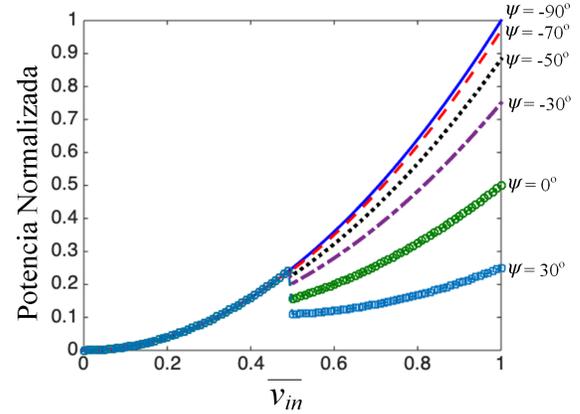
Los resultados anteriores están basados en condiciones ideales, y toman como un hecho que las corrientes de salida de los sub-amplificadores están en fase en el nodo A del CEE (ver Fig. 1), la cual es una condición inusual debido principalmente



(a)



(b)



(c)

Fig. 8. Características eléctricas del APD de 2 etapas a diferentes ψ : a) Parte real de Z_p y Z_a ; b) Parte imaginaria de Z_p y Z_a ; c) Potencia de salida normalizada.

a la distorsión de fase por amplitud (AM-PM) [9] de los sub-amplificadores. La distorsión AM-PM es dependiente de la polarización como se puede observar en la Fig. 7, en la que se muestra la distorsión AM-PM de un amplificador de potencia basado en un transistor de GaN, a diferentes voltajes de drenador y a un voltaje de compuerta fuertemente ocluido ($V_{GS} = -7.0$ V). Como se puede observar, la distorsión AM-PM se mantiene bastante estable con la potencia de entrada, no así en función del V_{DS} , ya que no tiene una tendencia

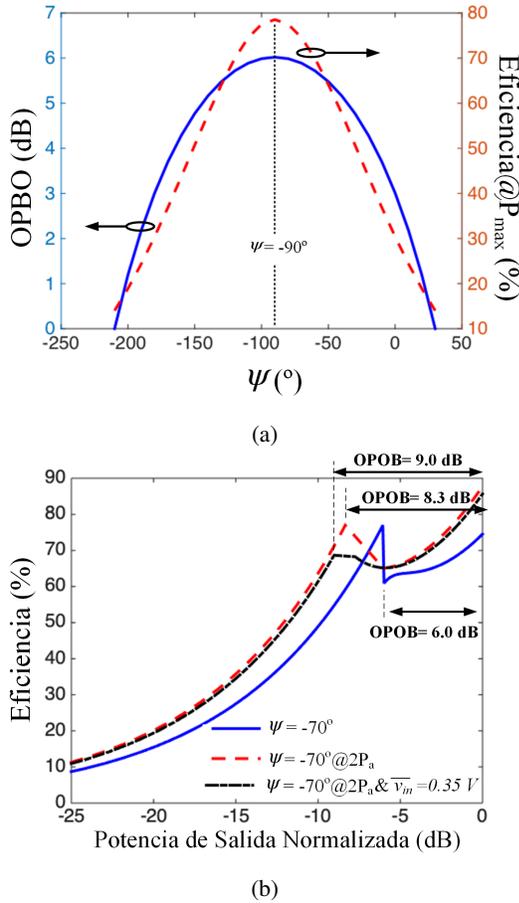


Fig. 9. Características no ideales del APD de 2 etapas: a) OPBO y eficiencia a la máxima potencia de salida a diferentes valores de ψ ; b) Eficiencia a diferentes condiciones de operación.

definida.

Para analizar el impacto que tiene la distorsión AM-PM en el desempeño del APD de 2 etapas, se propone analizarlo en función de la diferencia de fase entre las corrientes de salida de los dos sub-amplificadores, para esto se define la función ψ por medio de (33).

$$\psi = \angle I_p - \angle I_a. \quad (33)$$

En la Fig. 8a y 8b se puede observar que para $\psi \neq -90^\circ$ Z_a es un número complejo, a diferencia del caso ideal ($\psi = -90^\circ$) en el que se tiene una impedancia puramente real (sin parte imaginaria). De hecho Z_a es una impedancia capacitiva, y además la parte real se hace más pequeña a medida que ψ se aleja de -90° . Esto trae como consecuencia una reducción significativa de la potencia de salida en la RMA, como se muestra en la Fig. 8c.

Cabe resaltar que tanto la parte real como la imaginaria de Z_p son invariantes al valor de ψ (Fig. 8a). Esto se debe a que el sub-amplificador auxiliar está apagado, es decir, no contribuye con corriente. En consecuencia, la eficiencia no debe variar, pero a la potencia de salida máxima del APD de 2 etapas, la eficiencia sí debe sufrir algún cambio, así como el OPBO. Esto se puede apreciar en la Fig. 9a, en la cual se observa que la eficiencia a la máxima potencia de salida así como el OPBO tienen una forma de campana centrada alrededor de

$\psi = -90^\circ$, que de hecho es donde se obtienen los máximos. Esto quiere decir, que para cualquier $\psi \neq -90^\circ$ se tendrán reducciones significativas en el OPBO y en la eficiencia a la potencia máxima de salida.

Los resultados anteriores muestran la importancia de la fase, razón por la cual una práctica común es emplear líneas de compensación. El problema de estas líneas radica en el hecho de que no se tiene una manera exacta de determinar sus dimensiones físicas o eléctricas. Algunos trabajos como [7]-[8] han propuesto alguna metodología. Sin embargo, estos trabajos no consideran el efecto de la distorsión AM-PM de los transistores en los sub-amplificadores, es decir, los sub-amplificadores son considerados ideales.

De acuerdo con la Fig. 8c, al tener una $\psi \neq -90^\circ$, la potencia máxima de salida en la RMA se degrada, por lo tanto para compensar esta pérdida se requeriría un aumento de la potencia de salida del sub-amplificador auxiliar, de esta manera se logra recuperar el perfil de eficiencia del APD de 2 etapas. Esto implicaría cambiar el transistor del sub-amplificador auxiliar por uno de mayor dimensión física (que permita mayor generación de potencia) con respecto al del sub-amplificador principal, o variar el voltaje del drenador del sub-amplificador auxiliar, de modo que sea mucho mayor que el del sub-amplificador principal. La verificación de esta idea se puede hacer a través de las ecuaciones obtenidas con el CEE propuesto.

La Fig. 9b muestra la eficiencia del APD de 2 etapas para un caso aleatorio ($\psi = -70^\circ$), observe que el perfil de la eficiencia no se parece al ideal (ver Fig. 6b), de hecho como era de esperarse la eficiencia a la máxima potencia de salida es menor que la que se obtiene a 6 dB de OPBO (caso cuasi-óptimo). Al aumentar la potencia de salida del sub-amplificador auxiliar, en este caso, al doble ($2P_a$) (línea roja de guiones largos en la Fig. 9b) se puede observar que el perfil de eficiencia ya se aproxima un poco más al esperado, además se observa que el OPBO aumentó alrededor de 2.3 dB. Esto es equivalente a aumentar el voltaje de drenador del transistor del sub-amplificador auxiliar. Por otro lado, se puede observar que al modificar el encendido del sub-amplificador auxiliar, en este caso, a un $\bar{v}_{in} = 0.35 V$ (línea negra de guiones cortos en la Fig. 9b) y duplicando la potencia de salida del sub-amplificador auxiliar se puede obtener un ligero aumento en el OPBO. Este movimiento equivale a ocluir más al transistor, es decir, en una configuración de un amplificador de potencia clase C. Por lo tanto, como se puede observar en la Fig. 9b es posible obtener el comportamiento de la eficiencia del APD de 2 etapas, sin necesidad de las líneas de compensación.

Al prescindir de las líneas de compensación se tiene la ventaja de reducir las dimensiones físicas del APD, y además, se logra una reducción significativa en el tiempo de diseño. No obstante, al remover las líneas de compensación, se debe asegurar que las impedancias de salida de los sub-amplificadores principal y auxiliar sean las requeridas para cumplir la modulación de carga en conjunto con la línea de transmisión de $\lambda/4$, lo cual es posible mediante el ajuste del voltaje de encendido y de la potencia de salida del sub-amplificador auxiliar, tal como se muestra en la Fig. 9b.

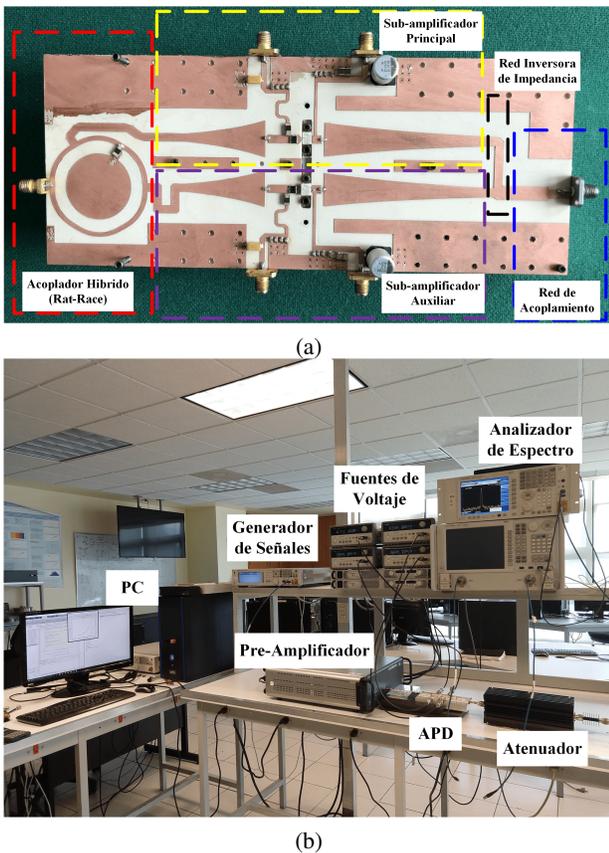


Fig. 10. Implementación física del APD de 2 etapas: a) Prototipo del APD de 2 etapas; b) Banco de medición para la caracterización.

V. RESULTADOS EXPERIMENTALES

Un APD de 2 etapas con potencia de salida de 43 dBm a una frecuencia central de 1.875 GHz utilizando transistores de Nitruro de Galio (GaN) modelo CGH40010F fue diseñado y fabricado. El sustrato elegido para el diseño es un 4003C de la empresa Rogers que tiene una constante dieléctrica $\epsilon_r = 3.55$ y altura $h = 1.524$ mm.

Para la etapa de entrada, que consiste en un divisor de potencia, se utilizó un acoplador tipo anillo híbrido (“Rat-race” [10]). Con respecto a los sub-amplificadores, ambos fueron diseñados como amplificadores de potencia clase B, polarizándolos a $V_{GS} = -2.7$ V y $V_{DS} = 28$ V. Para esto se utilizó el modelo comercial no lineal del transistor GaN, y se realizó una simulación en el simulador de circuitos de RF ADS para determinar las impedancias de salida del CGH40010F que cumplan con una eficiencia mayor al 65%.

La Fig. 10a muestra el APD de 2 etapas, cabe recalcar que no se tiene ninguna línea de compensación. La Fig. 10b muestra el banco de prueba utilizado para caracterizar al APD de 2 etapas.

Los equipos del banco de medición se comunican por medio del estándar GPIB que es controlado por medio de un programa desarrollado en MATLAB. El programa establece la frecuencia y el nivel de potencia para el generador de señales N5182A. La salida del generador de señales pasa por un pre-amplificador, ya que la potencia de salida del N5182A no es suficiente para saturar a los sub-amplificadores. Posterior-

mente, la salida del APD de 2 etapas pasa por un atenuador de 20 dB para proteger al analizador de espectro N9010A. Este mismo programa captura los valores del generador de señales, fuentes de voltaje y del analizador de espectro, y calcula la eficiencia del APD de 2 etapas, tomando en cuenta la ganancia del pre-amplificador, y las pérdidas de los cables y del atenuador.

Una de las primeras pruebas, fue polarizar a los sub-amplificadores con el mismo punto de polarización, el resultado no fue satisfactorio, ya que el perfil de eficiencia fue muy similar al de un amplificador de potencia clase B, es decir, sin OPBO.

Basado en los resultados del análisis del CEE, se procedió a ajustar los voltajes de polarización en los sub-amplificadores. En ese sentido, los voltajes de compuerta en los transistores de los sub-amplificadores fueron ajustados. En el caso del sub-amplificador principal, el ajuste fue mínimo, sin embargo, en el caso del sub-amplificador auxiliar el voltaje se modificó para que el transistor estuviera fuertemente ocluido, como si fuera un amplificador de potencia clase C ($V_{GSa} = -6$ V). Con el fin de aumentar la potencia de salida del sub-amplificador auxiliar, los voltajes del drenador de los sub-amplificadores (V_{DSp} y V_{DSa}) también fueron ajustados, y se estudiaron tres casos, en los cuales se tiene la condición de que $V_{DSa} > V_{DSp}$.

En la Fig. 11 se presentan los perfiles de eficiencia obtenidos en cada caso. En el primer caso (Caso I), se aumentó considerablemente el voltaje V_{DSa} , mientras que se disminuyó ligeramente el V_{DSp} , esto es con respecto a su voltaje de diseño (28 V). El resultado del perfil de eficiencia con $V_{DSa} = 34$ V y $V_{DSp} = 26$ V se aproxima al deseado, ya que se tiene un OPBO de 3.5 dB (el más pequeño de los tres casos). En el segundo caso (Caso II), ambos voltajes fueron disminuidos. Sin embargo, en este caso la intención fue disminuir considerablemente la potencia de salida del sub-amplificador principal. Para esto, se ajustaron los voltajes a $V_{DSp} = 22$ V y $V_{DSa} = 30$ V. Observe que la diferencia entre ambos voltajes es igual que en el Caso I, es decir, 8 V, obteniéndose una mejora significativa en el perfil de eficiencia, y alcanzando un OPBO de 4.1 dB. Basado en los resultados anteriores, se propuso un tercer caso (Caso III), en el que se aumenta la diferencia entre los voltajes de los drenadores. Por lo tanto, en este caso el $V_{DSa} = 34$ V y el $V_{DSp} = 22$ V. Note que ahora la diferencia entre los voltajes de los drenadores en los sub-amplificadores es de 12 V. Bajo estas condiciones de operación, se obtiene un OPBO de 5.2 dB con una eficiencia de 55.25%, y a la máxima potencia de salida la eficiencia es de 57.75%. Como se puede observar el perfil de eficiencia se aproxima al ideal (ver Fig. 6b).

Cabe destacar que los cambios de la polarización del transistor afectan directamente a la distorsión AM-PM del transistor, sin embargo, en lugar de verlos como un efecto negativo, nosotros lo hemos podido utilizar a nuestro favor para demostrar que es posible prescindir de las líneas de compensación de fase.

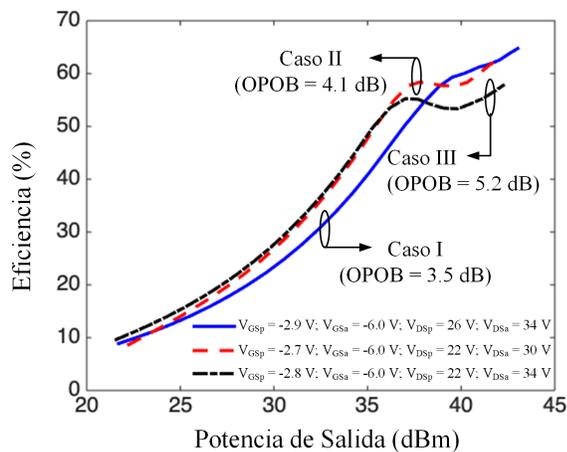


Fig. 11. Datos experimentales de eficiencia del APD de 2 etapas a diferentes puntos de polarización.

VI. CONCLUSIÓN

En este trabajo se demostró que controlando la polarización de los transistores de los sub-amplificadores de un amplificador de potencia Doherty de 2 etapas, principalmente el del sub-amplificador auxiliar, se puede evitar el uso de líneas de compensación. Esto se verificó teóricamente por medio de un análisis del circuito eléctrico equivalente del amplificador de potencia Doherty, empleando la técnica de superposición, modelando a los sub-amplificadores como fuentes de voltaje reales en lugar de ideales y empleando conceptos de líneas de transmisión. La validación experimental se hizo a través del diseño de un amplificador de potencia Doherty de 2 etapas con transistores de Nitruro de Galio CGH40010F a una frecuencia central de 1.875 GHz con una potencia de salida de 20 Watts. Los datos experimentales mostraron que para prescindir de las líneas de compensación es necesario ocultar fuertemente al transistor del sub-amplificador auxiliar y la diferencia entre los voltajes de los drenadores en los transistores de los sub-amplificadores debe ser grande.

AGRADECIMIENTO

Los autores agradecen los valiosos comentarios de los revisores anónimos, así como a la empresa Wolfspeed por facilitar el modelo del transistor GaN.

REFERENCES

- [1] W. H. Doherty, "A new high efficiency power amplifier for modulated waves," *Proc. Inst. Radio Eng.*, vol. 24, no 9, pp. 1163-1192, Sept. 1936. doi: 10.1109/JRPROC.1936.228468.
- [2] B. Kim, K. Jangheon, K. Ildu, and C. Jeonghyeon, "The Doherty power amplifier," *IEEE Microwave Magazine*, vol. 7, no 5, pp.42-50, 2006. doi 10.1109/MW-M2006.247914.
- [3] Y. Yang, J. Yi, Y. Y. Woo, B. Kim, "Optimum design for linearity and efficiency of a microwave Doherty power amplifier using a new load matching network," *Microwave Journal*, vol. 44, pp. 20-36, December 2001.
- [4] X. Y. Zhou, W. S. Chan, S. Chen and W. J. Feng, "Broadband Highly Efficient Doherty Power Amplifiers," in *IEEE Circuits and Systems Magazine*, vol. 20, no. 4, pp. 47-64, Fourthquarter 2020, doi: 10.1109/MCAS.2020.3027221.

- [5] David Gustafsson, Christer M. Anderson, Christian Fager, "A modified Doherty power amplifier with extended bandwidth and reconfigurable efficiency," *IEEE Transaction on Microwave Theory and Techniques*, vol. 61, no. 1, January 2013. doi:10.1109/TMTT.2012.2227783.
- [6] Tian Qi, SongBai He, "Design of high efficiency Doherty power amplifier applying power controlling technology with 15 dB output power back-off," in *47th European Microwave Conference*, pp. 576-579, Nuremberg, Germany, October 2017.
- [7] Roberto Quaglia, Marco Pirola, Chiara Ramella, "Offset lines in Doherty power amplifiers: analytical demonstration and design," *IEEE Microwave and Wireless Components Letters*, vol. 23, no. 2, pp. 93-95, February 2013. doi: 10.1109/LMWC.2013.2241535.
- [8] Seokhyeon Kim, Junghwan Moon, Juyeon Lee, Yunski Park, Donggyu, Bumman Kim, "Accurate offset line design of Doherty amplifier with compensation of peaking amplifier," *IEEE Transaction on Microwave Theory and Techniques*, vol. 64, no. 10, pp. 3224-3231, October 2016. doi:10.1109/TMTT.2016.2596723.
- [9] Luca Piazzon, Rocco Giofre, Roberto Quaglia, Vittorio Camarchia, Marco Pirola, Paolo Colantonio, Franco Giannini, and Giovanni Ghione, "Effect of load modulation on phase distortion in Doherty power amplifiers," *IEEE Microwave and Wireless Components Letters*, vol. 24, no. 7, pp. 505-507, July 2014. doi: 10.1109/LMWC.2014.2316507.
- [10] D. M. Pozar, *Microwave Engineering*. New York: Wiley, 1988.



U. Malagon-Reyes

U. Malagon-Reyes was born in Orizaba, México. He received the B.S.E.E. from the Instituto Tecnológico de Veracruz, in 2011. He received the M.Sc in electrical engineering from the Centro de Investigación y Estudios Avanzados del IPN Unidad Guadalajara (CINVESTAV-GDL) in 2014. He has worked for Flextronics as a debug technician, and he currently works as hardware engineer in automotive solutions at Visteon de México S. RL, Querétaro, México. He is currently working toward the D. Sc. degree in high-efficiency power amplifiers at CINVESTAV-GDL. His main interests are the design and modeling of microwave circuits.



J. R. Loo-Yau

J. R. Loo-Yau (M'03) was born in Panamá, Panamá. He received the B.S.E.E. from the Universidad Autónoma de Guadalajara (UAG), in 1998. In 2000 he received the M.Sc and D. Sc in electronics and telecommunications with a specialty in high frequency electronics from the Centro de Investigación Científica y de Educación Superior de Ensenada (CI-CESE) in 2000 and 2006, respectively. In 2007, he joined the electronic design group at the Centro de Investigación y Estudios Avanzados del IPN Unidad Guadalajara as researcher professor. His research interests are linear and non-linear modeling of microwave transistors, power amplifiers, linearization of power amplifiers and design of RF active circuits.



D. Ochoa-Armas

D. Ochoa-Armas was born in Havana, Cuba, in 1986. He received the Diploma and Master's degrees in electronics and telecommunications engineering from the Technological Institute of Havana, Havana, Cuba, in 2009 and 2016, respectively. He is currently working toward the Ph.D. degree in high-efficiency power amplifiers and nonlinear transistor modeling in the Centro de Investigación y Estudios Avanzados del IPN Unidad Guadalajara (Cinvestav-GDL). His main interests are nonlinear modeling and the design of microwave circuits and active devices.



L. M. Aguilar-Lobo

L. M. Aguilar-Lobo was born in Cucuta, Colombia. She received the M.Sc. in electronic and computer engineering from the Universidad de Guadalajara in 2010, and the D. Sc. in electrical engineering in the specialty of electronic design from the Centro de Investigación y Estudios Avanzados del IPN Unidad Guadalajara (Cinvestav-GDL) in 2015. She currently works as a Research Professor in the Universidad Autónoma de Guadalajara, developing projects of solutions based on the Internet of Things using sensor networks and wireless communication systems.