

Estimating Delays in Switched Ethernet Networks on board of Aerospace Vehicles

Penna, S. D., M.Sc., *INPE-Brazil*, Souza, M. L. O., Ph.D., *INPE-Brazil*

Abstract— Since the year 2000, several studies on bounding end-to-end delays in switched Ethernet topologies required in the design of distributed processing systems on board of aerospace vehicles were made public. These studies presented various approaches for dealing with the non-deterministic behavior of non-synchronized network traffic while striving to avoid overestimation. One of them described an effect observed in frame-based network transmissions and named it “serialization”. This effect is used in this paper with the objective of constructing a new low-complexity method for estimating the worst case delay experienced by a frame crossing a switched Ethernet. This method results from the combination of two new propositions which inherit concepts originally formulated by schedulability analysis methods for multitask processing systems. Its implementation is shown on a case study using a step-by-step procedure and the results obtained are favorably compared with one previously published work.

Index Terms—distributed systems, switched networks, Ethernet networks, aerospace vehicles.

I. INTRODUÇÃO

Distribuir processamento é atualmente uma abordagem freqüente em projetos de sistemas eletrônicos embarcados em veículos aeroespaciais [1]. Módulos em sistemas distribuídos podem ter projeto similar e exercer funções diferentes, como processar algoritmos, receber dados de sensores e enviar comandos a atuadores de controle de voo. Sistemas projetados usando esta abordagem podem se beneficiar da redução da quantidade de componentes eletrônicos diferentes e da flexibilidade na alocação de funções em unidades de capacidade equivalente.

Entretanto, interligar módulos em sistemas distribuídos pode se tornar uma tarefa de projeto complexa com o aumento do número de módulos a serem interligados. Por conta da disponibilidade de componentes padronizados, tanto em hardware quanto em software, e pela sua alta velocidade de transmissão, o protocolo Ethernet tem se tornado uma escolha freqüente como meio físico de transmissão de dados.

Nas suas origens, Ethernet não provê um meio de sincronizar transmissões de dados entre módulos da rede, apenas tem um protocolo de acesso a um meio físico que chamado *Carrier-Sense Multiple Access with Collision Detection*, *CSMA/CD* [2] abreviadamente.

Penna, S. D., é estudante de Doutorado no Curso de Engenharia e Tecnologias Espaciais (ETE) do Instituto Nacional de Pesquisas Espaciais (INPE), São José dos Campos-SP, Brasil (sdpenna@uol.com.br).

Souza, M. L. O. é docente no Curso de Engenharia e Tecnologias Espaciais (ETE) do Instituto Nacional de Pesquisas Espaciais (INPE), São José dos Campos-SP, Brasil (marcelo.souza@inpe.br).

Este protocolo *CSMA/CD*, que inclui um componente aleatório para tratamento de “colisão” (*collision*), era essencial quando Ethernet oferecia apenas suporte a topologias do tipo “barramento” [3] até o meio dos anos 1990. Após a introdução de topologias “estrela” e *switches* Ethernet [4], a preocupação passou a ser a arquitetura interna destes elementos e o seu desempenho no encaminhamento de quadros (*frames*).

Em sistemas distribuídos complexos e dependentes de redes de comunicação, tais como as usadas em grandes veículos aeroespaciais [5], é essencial levar em conta atrasos na transmissão de dados partindo de um elemento produtor até um elemento consumidor, de forma que a resposta a uma ação de controle seja aquela projetada. Esta preocupação se faz presente mesmo em projetos experimentais em veículos menores [6].

O mundo acadêmico tem provido métodos analíticos com este propósito desde o começo dos anos 2000. Estudos iniciais lançaram mão de recursos extraídos do *Network Calculus*, método introduzido por René L. Cruz em 1991 [7][8], posteriormente formalizado por Jean-Yves Le Boudec e Patrick Thiran em 2001 [9] e baseado em álgebra *min-plus*.

Na maioria dos casos, os princípios do *Network Calculus* fornecem um método conservador para estimar atrasos de transmissão de dados em um sistema distribuído que usa infraestrutura de rede para comunicação entre seus nós. Ele é reconhecido e aceito por autoridades encarregadas de certificação de sistemas embarcados em veículos aeroespaciais, tal como a Federal Aviation Administration (FAA) [10] nos Estados Unidos. Seu primeiro emprego na indústria aeronáutica foi resultado do trabalho de Frances, Fraboul e Grieu [11].

Ao atravessar um *switch*, o encaminhamento de um quadro Ethernet obedece à sua malha de comutação. A arquitetura mais comum em *switches* Ethernet comerciais é chamada *store-and-forward* ou *shared-memory* [4], em que quadros recebidos por uma porta de entrada são integralmente copiados em memória antes de serem transmitidos por uma ou mais portas de saída. A transmissão de um quadro em meio físico Ethernet, uma vez iniciada, não é interrompida. Dois quadros Ethernet encaminhados a uma mesma porta de saída são transmitidos um depois do outro em um *switch* que opera pelo regime *store-and-forward*. Este efeito foi descrito como “serialização” por Henri Bauer ao introduzir o método *Trajectory Approach* [12] usando uma abordagem semelhante à de *Dynamic Programming* e é o efeito que será considerado para construção do critério de agendamento da transmissão de quadros dentro de um *switch* desenvolvido neste trabalho.

Métodos para estimar o tempo que um fragmento de dados gasta para atravessar uma infraestrutura de rede desde sua origem até o seu destino final (atraso “fim-a-fim”) tornaram-se um rico tema de pesquisa incentivado pela indústria aeroespacial. Desde o início dos anos 2000, uma boa quantidade de trabalhos foi publicada, sendo as mais recentes as do grupo ligado a Henri Bauer em 2014 [13] e em 2017 [14]. De fato, atraso fim-a-fim é um dos parâmetros essenciais que precisam ser estimados no projeto e construção de sistemas eletrônicos distribuídos altamente complexos envolvidos no controle de veículos aeroespaciais.

Estes métodos analíticos encontram aplicações na indústria implementadas em ferramentas de software por empresas fornecedoras de equipamentos. Contudo, é possível contornar: simplificações excessivas que levam a resultados muito conservadores e complexidades adicionais que aumentam o custo computacional na busca por um resultado “exato” levando em conta dois aspectos próprios de redes Ethernet modernas: 1) o tempo de transmissão do maior quadro no meio físico é da ordem de microssegundos; 2) o encaminhamento de quadros em um *switch* que opera em regime *store-and-forward*, arquitetura majoritária nas implementações comerciais, permite usar o efeito de serialização descrito por Henri Bauer de uma forma muito simples.

A principal contribuição deste trabalho é um método para cálculo, em fase de projeto, do pior caso de atraso fim-a-fim em um sistema distribuído que usa meio físico Ethernet em uma rede de topologia “estrela”, baseado em critério de agendamento da transmissão de quadros pela porta de saída de um *switch*. Este método: 1) é menos pessimista na estimação do atraso ao cruzar um *switch* (cf. ilustrado na Seção VII-B); e 2) usa passos mais simples (cf. a Seção VII-A), mas baseados em premissas realistas (cf. a Seção II); e 3) poderia ser aplicado ao estudo de redes embarcadas de poucos elementos usando ferramentas de software comerciais, por exemplo, planilhas eletrônicas.

O restante deste trabalho é organizado como segue: a Seção II apresenta duas premissas essenciais à compreensão deste trabalho; a Seção III explora o efeito de serialização em um nó transmissor, introduz a primeira das duas proposições apresentadas por este trabalho e explora o efeito de serialização em um *switch*; as Seções IV e V apresentam duas importantes definições para a construção da segunda proposição, que é apresentada na Seção VI; a Seção VII apresenta um procedimento passo-a-passo para implementar o critério de agendamento e compara os resultados obtidos com um estudo publicado anteriormente usando *Network Calculus*. As conclusões são apresentadas na Seção VIII.

II. PREMISSAS SOBRE O PERFIL DE TRÁFEGO E A UTILIZAÇÃO DE BANDA DE REDE EM VEÍCULOS AEROESPACIAIS

A. Premissa 1: Perfil do Tráfego

Tráfego de rede em sistemas distribuídos usados em veículos aeroespaciais é rigorosamente limitado por construção. Além disto, devem existir meios para assegurar a integridade da rede

caso um dos seus nós apresente um comportamento anômalo.

Para tal, algoritmos de conformação e policiamento de tráfego [15] devem ser integrados respectivamente ao processo de transmissão de quadros por nós e encaminhamento de quadros por um *switch*, que se assume operar sem perda de quadros.

B. Premissa 2: Utilização de Banda

Tarefas (*tasks*) computacionais desenvolvidas para controlar o vôo de veículos aeroespaciais são usualmente periódicas.

Aquelas envolvidas com operações de entrada e saída de dados também são usualmente periódicas. Em teoria, pode ser possível que mais de uma instância de um mesmo quadro produzido por uma destas tarefas esteja presente no intervalo de tempo considerado para construção do pior caso de atraso de transmissão de qualquer quadro observado. Entretanto, o critério de agendamento de quadros de rede dentro de um *switch* apresentado neste trabalho observa aspectos práticos e considera apenas uma instância de cada quadro a ser transmitido pela razão exposta a seguir.

O conceito de “utilização”, no contexto da análise de agendabilidade de um conjunto de tarefas computacionais, foi introduzido por C. L. Liu and James W. Layland [16] e depois usado por M. Joseph e P. Pandya [17] para estimar o tempo que uma tarefa necessita para executar pelo menos uma vez por completo, chamado “tempo de resposta” da tarefa, na presença de tarefas de igual ou maior prioridade.

A utilização é expressa pelo quociente C/T , onde C é o tempo que a tarefa gasta para executar sem interferência (“ C ” como em “*Capacity*”) e T é o período da tarefa. Uma condição necessária para que um conjunto de tarefas seja agendável é que a soma dos quocientes C/T de todas as tarefas do conjunto seja um número menor do que 1.

No contexto de transmissão de dados em uma rede, considera-se C como sendo o tempo que um quadro gasta para ser transmitido em um meio físico Ethernet, e o seu valor vai de alguns microssegundos até algumas centenas de microssegundos. Segundo a norma IEEE 802.3 [2], o menor tamanho admissível de um quadro Ethernet é 64 bytes, o maior é 1518 bytes e cada transmissão requer 20 bytes extras por conta de outros campos obrigatórios. Segundo a mesma norma, em um meio físico de 100 megabits por segundo o quadro menor gasta 6,72 microssegundos e o quadro maior 123,04 microssegundos para ser transmitido.

No contexto de controle de vôo de uma aeronave, é recomendado executar tarefas pelo menos 40 vezes por segundo [18]. Assim, períodos T de tarefas em aplicações típicas de controle de vôo de aeronaves ficam em torno de 25 milissegundos. Já o controle de atitude e navegação de um veículo espacial requer tarefas executando com frequências mais baixas.

O intervalo de tempo Δt gasto para transmitir todos os quadros gerados por uma execução de cada tarefa envolvida em um computador de controle de vôo não deve ser maior do que algumas centenas de microssegundos em um meio físico Ethernet de 100 megabits por segundo, porque Δt deve ser da mesma ordem de magnitude da soma dos C s dos quadros a

serem transmitidos.

Se o quociente $\Delta t/T$ for arredondado para o primeiro inteiro igual ou maior (o *ceiling* do quociente), usando as ordens de magnitude de Δt (da ordem de 10^2 microssegundos) e T (da ordem de 10^3 microssegundos) tal como mencionado acima, a expressão $\text{ceiling}(\Delta t/T)$ será avaliada em 1 para qualquer período T (Δt muito menor do que qualquer T). Isto significa que se espera encontrar apenas uma ocorrência do quadro transmitido por uma tarefa de período T dentro do intervalo de tempo Δt gasto para transmitir um quadro de cada uma das tarefas do conjunto observado. Como consequência, apenas o tamanho dos quadros é parâmetro para os cálculos feitos neste estudo e não a periodicidade com a qual eles são transmitidos.

III. SERIALIZAÇÃO DE TRÁFEGO DE REDE EM UM NÓ TRANSMISSOR E EM UM SWITCH

O primeiro passo para o cálculo de atraso fim-a-fim em uma rede embarcada em veículos aeroespaciais servindo de infraestrutura de comunicação de sistemas distribuídos é calcular o limite superior da interferência que a transmissão de um quadro pode causar em outro quadro transmitido pelo mesmo nó da rede, Isto pode ser feito usando a seguinte proposição:

A. Proposição 1

Em um nó de rede Ethernet que transmite quadros pelo critério “first-in-first-out”, a transmissão de um quadro pode ser atrasada no máximo pela soma dos tempos de transmissão de todos os quadros agendados para serem transmitidos pela mesma porta Ethernet, incluindo o quadro observado.

B. Fundamentação

Dispositivos Ethernet, sejam eles placas de rede ou *switches*, usualmente organizam transmissões de quadros em uma fila servida pelo critério *first-in-first-out*.

Quadros Ethernet são transmitidos serialmente (razão do termo “serialização”). Cada quadro tem que aguardar que os demais quadros à sua frente na fila de transmissão sejam completamente transmitidos e o último bit do quadro observado tem que aguardar que todos os demais bits deste mesmo quadro sejam também transmitidos pelo meio físico.

Para calcular atrasos de transmissão de quadros Ethernet é necessário levar em conta campos mandatórios, a saber, 8 bytes do *Preamble* e *Start-of-Frame-Delimiter* e 12 bytes de ausência de transmissão chamado *Inter-Frame Gap (IFG)* [2], uma vez que estes $(8 + 12) \times 8 = 160$ bits também ocupam o meio físico.

Por exemplo, considerando a transmissão de dois quadros Ethernet de tamanhos 230 e 480 bytes em um meio físico de 100 megabits por segundo, qualquer dos dois quadros será atrasado por no máximo 60 microssegundos calculados como segue, segundo a norma IEEE 802.3:

$$\begin{aligned} [(230 + 8 + 12)\text{bytes} \times 8 \text{ bit/byte}]/100 \text{ bit}/\mu\text{s} &= 20 \mu\text{s} \\ [(480 + 8 + 12)\text{bytes} \times 8 \text{ bit/byte}]/100 \text{ bit}/\mu\text{s} &= 40 \mu\text{s} \end{aligned}$$

A ordem de transmissão dos quadros não importa, uma vez que o último bit de qualquer dos dois quadros tem que

aguardar a transmissão de todos os demais bits do quadro observado e também de todos os bits do quadro remanescente.

Neste caso muito simples, o *Network Calculus* produz o mesmo resultado de 60 microssegundos para o limite superior de atraso (*delay bound*) como definido no trabalho de Le Boudec e Thiran [9].

Uma norma da indústria [19] recomenda adicionar um “atraso fixo” para levar em conta latências de camadas mais inferiores de processamento ao iniciar e terminar operações de entrada e saída de dados por dispositivos físicos. Caso esta norma seja adotada, este atraso fixo deve ser somado ao atraso calculado pela *Proposição 1* acima.

O efeito da serialização em um *switch* é ilustrado nas Figuras 1, 2 e 3. Na Figura 1, dois quadros F1 e F2 recebidos respectivamente nas portas 1 e 2 de um *switch* são encaminhados à mesma porta de saída. A Figura 1 ilustra o intervalo de tempo dentro do qual ambos os quadros são recebidos e o intervalo de tempo dentro do qual eles são transmitidos no meio físico.

Por simplificação, outros atrasos devidos à malha de comutação do *switch* foram omitidos. O efeito da serialização neste caso não é diferente daquele descrito na seção anterior para um nó transmissor e o atraso experimentado por qualquer um dos dois quadros segue a *Proposição 1*.

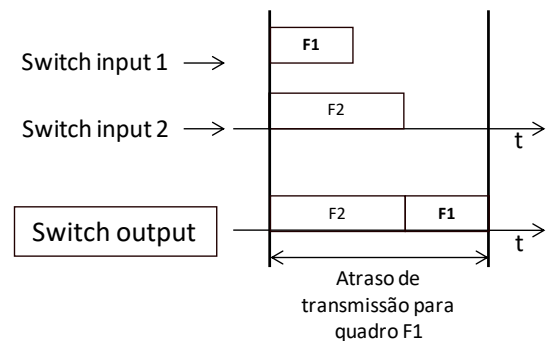


Fig. 1. Atraso de transmissão dos quadros F1 e F2 em um *switch* como indicado na *Proposição 1*.

Contudo, o cenário é outro se pela porta 2 do *switch* em lugar de um único quadro F2 são recebidos dois quadros menores F2-1 e F2-2 cujos tempos de transmissão somados equivalem ao tempo de transmissão de F2, tal como ilustrado na Figura 2. Neste caso, o quadro F1 tem aparentemente a mesma quantidade de tráfego a sua frente na saída do *switch*. Na verdade, por conta do efeito de serialização, o quadro F1 sofrerá interferência do quadro F2-1 ou do quadro F2-2, mas não de ambos.

O instante de tempo no qual o primeiro bit do quadro F1 é recebido pode coincidir com o instante de tempo no qual o primeiro bit do quadro F2-1 é recebido, tal como ilustrado na Figura 2, ou o primeiro bit do quadro F2-2, tal como ilustrado na Figura 3.

Em qualquer destes dois casos, o quadro F1 terá que aguardar que o quadro F2-1 ou o quadro F2-2 seja transmitido à sua frente. Portanto, o quadro F1 sofrerá um atraso de transmissão igual ao tempo gasto para sua própria transmissão somado ao maior tempo de transmissão apurado entre os

quadros F2-1 e F2-2 (no caso F2-2).

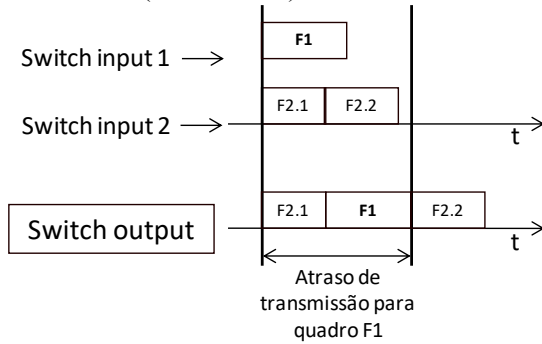


Fig. 2. Atraso de transmissão do quadro F1 quando o quadro F2 é dividido em dois (interferência com quadro F2-1).

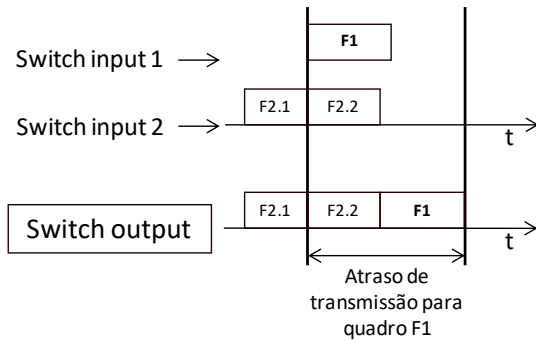


Fig. 3. Atraso de transmissão do quadro F1 quando o quadro F2 é dividido em dois (interferência com quadro F2-2).

Quando o quadro F2 é dividido em dois, o quadro F1 se beneficia do fato de que os quadros F2-1 e F2-2 foram serializados pelo nó que os transmitiu.

IV. DEFINIÇÃO DO “INSTANTE CRÍTICO” NA MALHA DE COMUTAÇÃO DE UM SWITCH

O termo “instante crítico” (*critical instant*) foi cunhado originalmente por Liu e Layland [16] no contexto de agendabilidade de um conjunto de tarefas computacionais:

A critical instant for a task is defined to be an instant at which a request for that task will have the largest response time.

No contexto de agendamento de transmissões de quadros na malha de comutação de um switch, a definição do instante crítico será modificada para aplicação neste trabalho:

A. Definição 1:

O “instante crítico” para um quadro é definido como o instante em que a chegada do seu primeiro bit resulta no seu maior atraso de transmissão.

B. Fundamentação:

No contexto deste trabalho, é importante ressaltar que: 1) tarefas computacionais em aplicações embarcadas em veículos aeroespaciais são usualmente agendadas obedecendo a um critério de atribuição de prioridades e tarefas com prioridade mais alta são executadas primeiro; 2) a malha de comutação tradicional de um switch Ethernet seleciona quadros para transmissão seguindo a ordem temporal em que eles chegam

(*First-Come-First-Served*); 3) para construção da sequência de transmissão de quadros que resulta no maior atraso de transmissão de um quadro observado, assume-se que este será servido por último, ou seja, que ele será agendado para transmissão depois de todos os outros quadros que compartilham a mesma porta de saída do switch, considerando apenas uma ocorrência de cada um destes quadros.

Na Figura 4, os quadros F1, F2 e F3 recebidos em diferentes portas de entrada de um switch têm seu instante crítico quando o primeiro bit de cada um deles é recebido no mesmo instante de tempo.

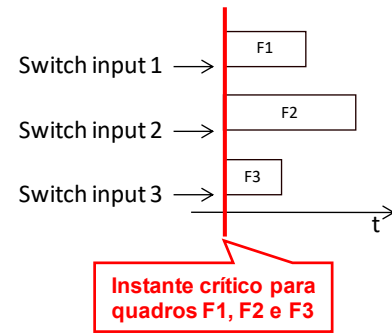


Fig. 4. “Instante crítico” para quadros F1, F2 e F3 recebidos em portas diferentes do switch.

Uma vez definido o instante crítico para este cenário simples, o maior atraso de transmissão para qualquer dos quadros da Figura 4 é simplesmente o intervalo de tempo gasto para transmitir os quadros F1, F2 e F3, tal como parcialmente ilustrado na Figura 5.

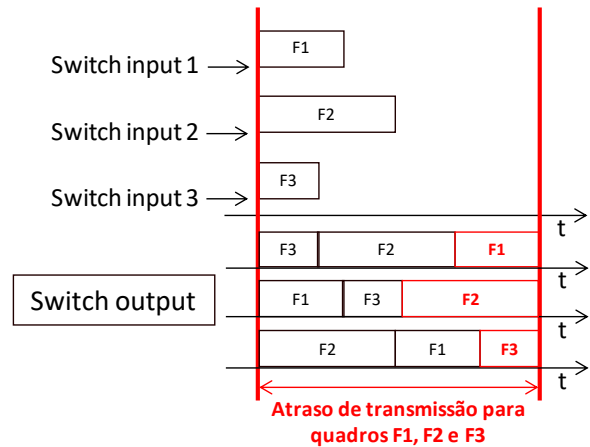


Fig. 5. “Instante crítico” e atraso de transmissão para os quadros F1, F2 e F3.

Notar que, no caso das Figuras 4 e 5, inverter a ordem de transmissão de F3 e F2 não afeta o atraso de transmissão percebido por F1.

V. DEFINIÇÃO DE “TRÁFEGO REMANESCENTE” EM UMA MALHA DE COMUTAÇÃO

Se quadros recebidos em diferentes portas de entrada de um switch forem agendados para serem transmitidos pela mesma porta de saída, a seguinte definição se aplica:

A. Definição 2:

Uma vez que o “instante crítico” é definido para um quadro em particular, os quadros remanescentes não envolvidos na sua construção constituem o “tráfego remanescente” para o quadro observado.

B. Fundamentação:

Na Figura 6 estão ilustrados apenas os tamanhos dos quadros F1, F4 e F6 (sendo F1 o maior) recebidos pela porta 1 do *switch*, do quadro F3 recebido pela porta 2 e dos quadros F2 e F5 (sendo F5 o maior) recebidos pela porta 3, todos agendados para serem transmitidos pela mesma porta de saída. A análise a seguir assume que o quadro observado é o quadro F4 e que os quadros nas outras portas de entrada podem ser recebidos em qualquer ordem.

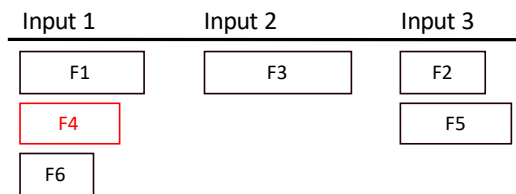


Fig. 6. Tamanhos dos quadros F1, F2, F3, F4, F5 e F6 e suas respectivas portas de entrada no *switch*.

O instante crítico experimentado pelo quadro F4 é construído com os quadros F3 (único na porta 2) e F5 (o maior na porta 3). Os quadros F1, F6 e F2, recebidos respectivamente pelas portas 1 e 3 do *switch*, constituem o tráfego remanescente para o quadro F4, tal como ilustrado na Figura 7.

Se os quadros F4, F3 e F5 fossem os únicos a serem transmitidos pela mesma porta de saída do *switch*, o atraso de transmissão para o quadro F4 poderia ser calculado usando a *Proposição 1*. Entretanto, o tráfego remanescente constituído pelos quadros F1, F2 e F6 vai afetar a ordem em que os quadros serão transmitidos pela mesma porta de saída e, como consequência, vai afetar o atraso de transmissão do quadro F4 observado. A quantidade de interferência na transmissão do quadro F4 causada pela existência do tráfego remanescente é examinada na seção seguinte.

VI. CONSTRUÇÃO DO TRÁFEGO REMANESCENTE PARA O MAIOR ATRASO DE TRANSMISSÃO

Uma vez definido o instante crítico para o quadro F4, a ordem de chegada dos quadros pertencentes ao tráfego remanescente pode ser arranjada de forma que o quadro F4 experimente o seu maior atraso de transmissão.

A. Proposição 2:

Uma vez definido o instante crítico para um quadro observado, este sofrerá seu maior atraso de transmissão quando os quadros que constituem o tráfego remanescente são arranjados de forma que o último bit de um quadro recebido é imediatamente seguido pelo primeiro bit do quadro seguinte até que se esgotem os quadros do tráfego

remanescente em cada uma das portas de entrada do *switch*.

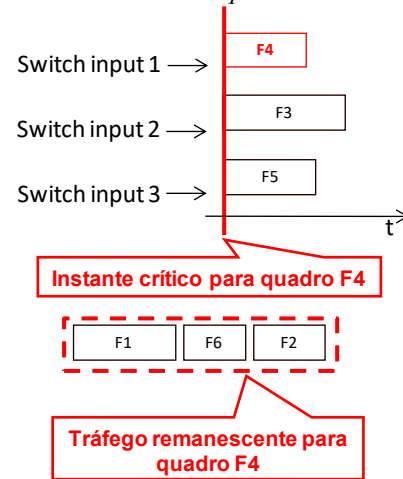


Fig. 7. “Instante crítico” e “tráfego remanescente” para o quadro F4.

B. Fundamentação:

Na Figura 8, o tráfego remanescente para o instante crítico definido para o quadro F4 é construído com os quadros F1 e F6 sendo recebidos antes de F4 na porta 1 do *switch*, e o quadro F2 sendo recebido antes do quadro F5 na porta 3 do *switch*. O quadro F4 sofrerá o seu maior atraso de transmissão quando o tráfego remanescente for recebido como segue: a) o instante de chegada do último bit do quadro F1 é imediatamente seguido pelo instante de chegada do primeiro bit do quadro F6; b) o instante de chegada do último bit do quadro F6 é imediatamente seguido pelo instante de chegada do primeiro bit do quadro F4; c) o instante de chegada do último bit do quadro F2 é imediatamente seguido pelo instante de chegada do primeiro bit do quadro F5.

Como não há outros quadros além do quadro F3 chegando na porta 2 do *switch*, não há contribuição vinda desta porta na construção do pior caso do tráfego remanescente para o quadro F4.

A Figura 8 ilustra como o efeito de serialização se materializa nas portas 1 e 3 do *switch*.

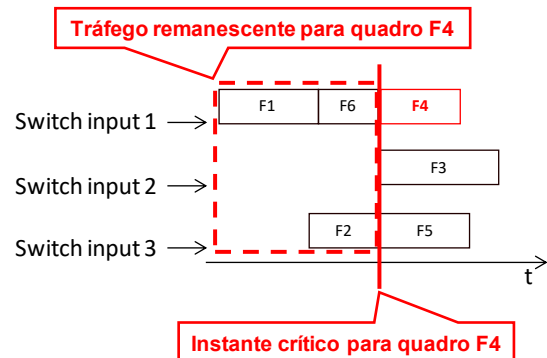


Fig. 8. Pior caso do “tráfego remanescente” para o quadro F4.

Em outras palavras, a *Proposição 2* diz que os quadros pertencentes ao tráfego remanescente de um quadro observado devem ser serializados na sua recepção com cada um dos

quadros que participam do instante crítico do quadro observado em cada uma das portas de entrada do *switch*.

VII. SÍNTESE DO MÉTODO EM UM PROCEDIMENTO E SUA APLICAÇÃO A UM CASO DA LITERATURA

A. Construção do Maior Atraso de Transmissão de um Quadro

Dado um conjunto de quadros sendo recebidos em diferentes portas de um *switch* e agendados para serem transmitidos por uma mesma porta, os passos seguintes usam as definições de instante crítico e tráfego remanescente para construir a sequência de transmissão pela qual um quadro escolhido deste conjunto sofrerá seu maior atraso:

1. Escolher um quadro do conjunto: ele deve ser o último quadro transmitido;
2. Em cada uma das demais portas do *switch* que recebem quadros, selecionar o maior quadro;
3. Alinhar no mesmo instante de tempo os primeiros bits do quadro escolhido e dos demais quadros selecionados no passo anterior: este passo define o instante crítico para o quadro escolhido;
4. Definir o tráfego remanescente para o quadro escolhido incluindo os quadros restantes recebidos na mesma porta do quadro escolhido e os demais quadros não selecionados no passo 2;
5. Considerar que todos os quadros são recebidos nas portas do *switch* sem folga, ou seja, o último bit de um quadro recebido em uma porta é imediatamente seguido do primeiro bit do próximo quadro recebido na mesma porta;
6. Agendar os quadros para transmissão começando com o quadro que tem o seu primeiro bit postado no instante de tempo mais anterior, prosseguindo a partir daí agendando quadros na medida em que se avança a escala do tempo.

Este procedimento passo-a-passo foi usado para agendar as transmissões dos quadros F1, F2, F6, F5, F3 e finalmente F4, nesta ordem, de forma que o quadro F4 irá sofrer o seu maior atraso de transmissão, tal como ilustrado na Figura 9. É importante ressaltar que a ordem em que os quadros F1 e F6 são recebidos pela porta 1 do *switch* não importa na composição do maior atraso de transmissão de F4 (o quadro F6 poderia ter sido recebido antes do quadro F1).

B. Comparação de Resultados com Network Calculus

Em um trabalho publicado em 2013, Zhao, Li, Xiong, Zheng e Xiong [20], todos da Universidade de Beihang, Beijing, China, introduziram uma abordagem muito interessante para levar em conta o efeito da serialização em uma rede complexa ao se usar o *Network Calculus*. Os autores indicam que a sua proposição reduz a superestimação do valor de atraso fim-a-fim produzido pela abordagem original do *Network Calculus* quando um fluxo de dados atravessa vários elementos de rede.

Os resultados publicados pelo fluxo chamado *v1* no seu caminho entre desde o nó *e1* até o nó *e7* atravessando os *switches* *S1* e *S3* são reproduzidos na Figura 10. Quadros em todos os fluxos tem o mesmo tamanho de 5000 bits, portanto o

mesmo tempo de transmissão de 50 microssegundos em um meio físico de 100 megabits por segundo.

Na Figura 10, o fluxo *v1* saindo do nó *e1* sofre interferência apenas do fluxo *v2* e, como esperado, seu atraso máximo é calculado somando o tempo gasto para transmitir um quadro de *v1* e um quadro de *v2*, um total de 100 microssegundos. Este resultado está alinhado com a *Proposição 1*.

Os autores calculam o atraso sofrido por *v1* saindo de *S1* em 105 microssegundos, mesmo quando se considera que *v1* sofre interferência apenas de *v3*. Pela *Proposição 1*, o atraso sofrido por *v1* neste caso deveria ser também 100 microssegundos, uma vez que a condição de *v1* saindo de *S1* é similar à condição de *v1* saindo de *e1*.

O cálculo do atraso para *v1* saindo de *S3* é bem mais complexo, uma vez que os fluxos *v4* e *v7* sofrem interferências, respectivamente, dos fluxos *v5* e *v6* e devem ser serializados ao atravessar *S3* na direção de *e7*, cf. [20]. O resultado publicado pelos autores é 124,899 microssegundos.

Usando a *Proposição 2* e observando que os fluxos *v3* e *v6* são encaminhados para outros destinos, um quadro do fluxo *v1* deveria sofrer interferência de um quadro do fluxo *v4* ou de um quadro do fluxo *v7* (mas não de ambos de acordo com o exposto na Seção III e Figuras 3 e 4), uma vez que eles são serializados ao sair de *S2* tal como indicado na Figura 11.

Assim, pela *Proposição 2*, o atraso máximo no fluxo *v1* saindo de *S3* deveria ser de 100 microssegundos como indicado na Figura 12.

O atraso total (fim-a-fim) calculado pelos autores para o fluxo *v1* é de 329,899 microssegundos, enquanto que o atraso total calculado usando a *Proposição 1* e a *Proposição 2* é de 300 microssegundos.

VIII. CONCLUSÃO

Estimar atrasos de transmissão de dados entre dois elementos de um sistema distribuído interligados por uma infraestrutura de rede desde a sua origem até o seu destino (atraso “fim-a-fim”) é essencial à correta implementação de, por exemplo, algoritmos de controle de voo em aeronaves e de controle de navegação e atitude em veículos espaciais.

Este trabalho apresentou um método de poucos passos para calcular o maior atraso de transmissão de um quadro de dados ao atravessar um *switch* de rede Ethernet configurada em topologia “estrela”.

O método explora em duas proposições o efeito chamado de “serialização”, observado quando a transmissão de dados em uma rede é realizada por meio de quadros, assumindo duas premissas: 1) o tráfego de rede é rigorosamente limitado ao que foi definido em fase de projeto; 2) o tempo gasto para transmissão de um quadro é uma ordem de magnitude menor do que o período da tarefa que o produz, de forma que cada quadro só está presente uma vez na fila de saída do *switch*.

A primeira proposição explora serialização de quadros em um nó transmissor e diz que o maior atraso de transmissão sofrido por qualquer quadro é o tempo gasto para transmitir todos os quadros aguardando na fila do dispositivo de acesso ao meio físico da rede.

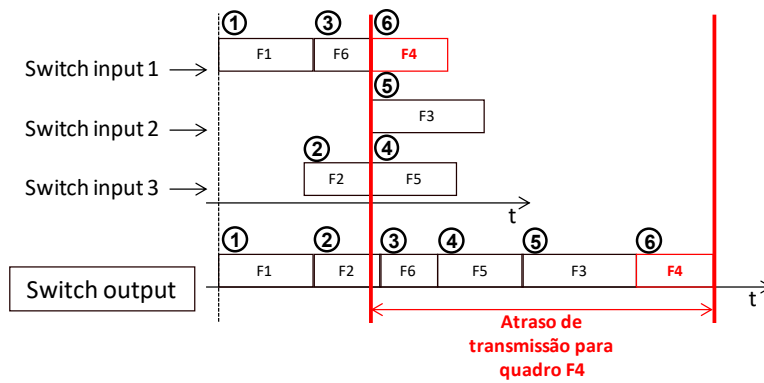


Fig. 9. Agendamento da transmissão do quadro F4.

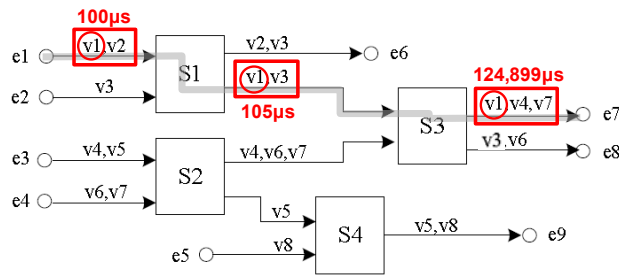


Fig. 10. Rede analisada pela referência [21].

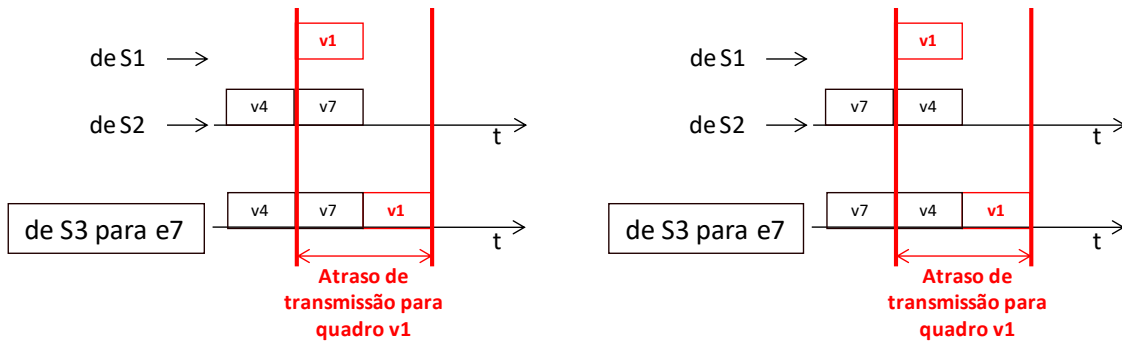


Fig. 11. Dois cenários de transmissão para o quadro v1.

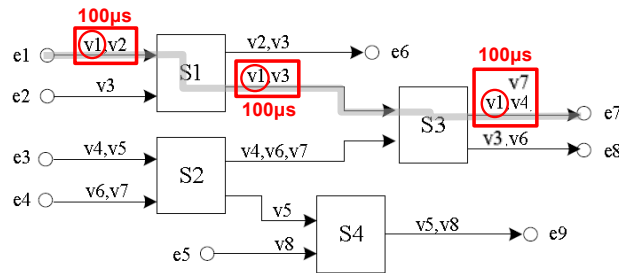


Fig. 12. Atraso “fim-a-fim” para o quadro v1 segundo as Proposições 1 e 2.

A segunda proposição explora serialização quando o elemento de rede envolvido é um *switch*. O “instante crítico” é definido como sendo o instante de tempo em que um quadro que aguarda ser transmitido pela rede sofre o maior atraso de transmissão na presença de outros quadros. O “tráfego

remanescente” é definido como sendo o conjunto de quadros que deve ser transmitido antes do quadro observado e cuja transmissão afeta o cálculo do maior atraso para o quadro observado. A cada quadro que aguarda ser transmitido por um *switch*, existem associados um “instante crítico” e um “tráfego

remanescente”.

Para exemplificar a aplicação do método, foi apresentado um procedimento de seis passos para cálculo do maior atraso aplicado a uma configuração de rede de pequena escala. Os resultados extraídos de um caso obtido da literatura, que usa os princípios de *Network Calculus* levando em conta serialização, foram usados para comparação.

REFERÊNCIAS

- [1] C. B. Watkins and R. Walter, “Transitioning from federated avionics architectures to Integrated Modular Avionics”, in *ALAA/IEEE 26th Digital Avionics Systems Conference*, Dallas, TX, USA, 2007, pp. 1–10, DOI:10.1109/DASC.2007.4391842.
- [2] IEEE Standard for Ethernet, IEEE Standard 802.3-2018, DOI: 10.1109/IEEESTD.2018.8457469.
- [3] J. Martin and K. K. Chapman, *Local Area Networks – architectures and Implementations*, Englewood Cliffs, New Jersey, USA: Prentice Hall, 1989.
- [4] R. Seifert and J. Edwards, “Make the Switch!”, in *The All-New Switch Book: The Complete Guide to LAN Switching Technology*, 2nd Edition, Indianapolis, USA: Wiley Publishing, 2008, ch. 15, pp. 587-647, ISBN 13: 978-0470287156.
- [5] N. Safwat, M. Eldakrouy, A. Abdelhalim, “The Evolution of Aircraft Data Networks”, in *International Journal of Computer Applications* (0975 – 8887), vol. 94, no. 11, May 2014, DOI: 10.5120/16389-5968.
- [6] F. Splendor, N. A. Martins, I. M. S. Gimenes, J. A. Martini, “Design of an Autopilot for Cessna 182”, in *IEEE Latin America Transactions*, vol. 13, No. 1, Jan.. 2015.
- [7] R. L. Cruz, “A Calculus for Network Delay. Part I. Network Elements in Isolation”, in *IEEE Transaction on Information Theory*, pp. 114-131, 1991.
- [8] R. L. Cruz, “A Calculus for Network Delay. Part II. Network Analysis”, in *IEEE Transaction on Information Theory*, pp. 132–141, 1991.
- [9] J. Y. Le Boudec and P. Thiran, *Network Calculus: A Theory of Deterministic Queuing Systems for the Internet*, Berlin, Germany: Springer-Verlag, 2001, ISBN 3-540-42184-X.
- [10] Federal Aviation Administration (FAA), “Airworthiness Certificates Overview”, [Online] Disponível em: https://www.faa.gov/aircraft/air_cert/airworthiness_certification/aw_ove_rview/, Acessado em: Sep. 10, 2020
- [11] F. Frances, C. Fraboul and J. Grien, "Using network calculus to optimize the AFDX network", Proceedings of ERTS Toulouse France, 2006.
- [12] H. Bauer, “Analyze pire cas de flux hétérogènes dans un réseau embarqué avion”, Ph.D. dissertation, Université de Toulouse, France, 2011.
- [13] G. Kemayo, F. Ridouard, H. Bauer, and P. Richard, “A Forward end-to-end delays analysis for packet switched networks”, in *22nd International Conference on Real-Time Networks and Systems - RTNS '14*, New York, NY, USA: ACM Press, 2014, pp. 65–74, DOI: 10.1145/2659787.2659801.
- [14] N. Benammar, F. Ridouard, H. Bauer, P; Richard, “Forward end-to-end delay analysis extension for FP/FIFO policy in AFDX networks”, in *22nd IEEE International Conference on Emerging Technologies and Factory Automation (ETFA)*, pp. 1–8, Sep. 2017, DOI: 10.1109/ETFA.2017.8247606.
- [15] Cisco Systems, Inc., “Comparing Traffic Policing and Traffic Shaping for Bandwidth Limiting”, [Online] Disponível em: <https://www.cisco.com/c/en/us/support/docs/quality-of-service-qos/qos-policing/19645-policevsshape.html>, Acessado em: Sep. 10, 2020.
- [16] C. L. Liu, and J. W. Layland, “Scheduling Algorithms for Multiprogramming in a Hard-Real-Time Environment”, in *Journal of the Association for Computing Machinery*, vol. 20, no. 1, 1973.
- [17] M. Joseph and P. Pandya, “Finding response times in a real time system”, in *The Computer Journal*, 29(5) pp. 390–395, 1986.
- [18] B. Stevens and F. Lewis, *Aircraft Control and Simulation*, 2nd Edition, New Jersey, USA, John Wiley & Sons, Inc., 2003, ch. 7, pp. 598-607, ISBN 0-471-37145-9.
- [19] ARINC Specification 664, Aircraft Data Network, Part 7: Deterministic Networks, 2009.

- [20] Z. Luxi, L. Qiao, X. Ying, Z. Zhong and X. Huagang, “Using Multi-Link Grouping Technique to Achieve Tight Latency in Network Calculus”, in *ALAA/ IEEE 32nd Digital Avionics Systems Conference*, East Syracuse, NY, USA, 2013, pp. 2E3:1-10, DOI:10.1109/DASC.2013.6712551.



onde atualmente é doutorando no curso de Gerenciamento de Sistemas Espaciais (ETE/CSE).

Sérgio Duarte Penna é graduado em Engenharias Mecânica pela Escola de Engenharia da Universidade Federal de Minas Gerais (EE-UFMG), Belo Horizonte, Brasil, em 1978. Obteve o grau de Mestre em Engenharia e Tecnologia Espaciais (ETE) em 2008 pelo Instituto Nacional de Pesquisas Espaciais (INPE), onde atualmente é doutorando no curso de Gerenciamento de Sistemas Espaciais (ETE/CSE).



Marcelo Lopes de Oliveira e Souza é Engenheiro Eletrônico graduado pelo Instituto Tecnológico da Aeronáutica (ITA) em São José dos Campos, Brasil. Ele é Mestre em Ciências Espaciais e Mecânica Orbital pelo Instituto Nacional de Pesquisas Espaciais (INPE) em 1980 e Ph.D.em Aeronáutica e Astronáutica pelo MIT em 1985. Ele ingressou no INPE em 1977 para trabalhar com satélites e desde 1985 leciona e orienta pesquisas como Professor e Pesquisador Senior no curso de Engenharia e Tecnologias Espaciais. Ele é autor de diversos trabalhos junto com seus alunos em congressos e publicações da *Society of Automotive Engineers* (SAE) e outras sociedades de Ciência e Tecnologia.

Marcelo Lopes de Oliveira e Souza é Engenheiro Eletrônico graduado pelo Instituto Tecnológico da Aeronáutica (ITA) em São José dos Campos, Brasil. Ele é Mestre em Ciências Espaciais e Mecânica Orbital pelo Instituto Nacional de Pesquisas Espaciais (INPE) em 1980 e Ph.D.em Aeronáutica e Astronáutica pelo