

Space Vector Modulation for Three-Phase Multilevel Switched-Capacitor Inverter

Felipe Bovolini Grigoletto, *Member, IEEE*

Abstract—Multilevel inverters have received great attention from industry and academy in the last decades. This fact is due to their interesting advantages when compared to two-level topologies such as reduced output voltage distortion and reduced voltage over the power devices. The analysis and proposition of modulation strategies are very important for the proper operation of these converters. This paper proposes a Space Vector (SV) modulation strategy for a new three-phase multilevel switched capacitor inverter. The three nearest vectors are selected from a proposed SV diagram in order to minimize the output voltage distortion. Furthermore, the dwell times are defined and the selected vectors are disposed in suitable switching sequences. Finally, simulation and experimental results are obtained to demonstrate the good performance and applicability of the proposed technique.

Index Terms— Multilevel systems, Pulse-width modulation inverters, Switched-capacitor circuits, Space vector modulation.

I. INTRODUÇÃO

Nas últimas décadas os conversores multiníveis têm se difundido devido suas excelentes características tais como: (i) reduzida taxa de distorção harmônica, (ii) reduzida tensão sobre os interruptores de potência e (iii) reduzida tensão de modo comum [1]–[4]. Estas características tornam a topologia multinível como principal candidata para aplicações que envolvam altas potências e altas tensões. Neste sentido, estes conversores têm sido utilizados em diversas aplicações sendo as principais: acionamentos de máquinas elétricas (ME) [5], sistemas de geração fotovoltaica (FV) [6], sistemas de geração eólica [7], sistemas de transmissão de alta tensão em corrente contínua [8], entre outras.

Tradicionalmente, os conversores multiníveis mais comuns abordados pela literatura e empregados pela indústria são o conversor com ponto neutro grampeado NPC (*Neutral Point Clamped*) [9], conversor com capacitores flutuantes FLC (*Flying Capacitor Converter*) [10], [11], o conversor com células ponte H em série CHB (*Cascaded H-Bridge Converter*) [12], [13] e o conversor tipo T (*T-type*) [14]. Além dos conversores multiníveis clássicos, outras topologias têm se destacado recentemente. O conversor multinível modular MMC (*Modular Multilevel Converter*) [15], [16], por exemplo, se apresenta como uma boa opção para aplicações em alta tensão tais como em sistemas de transmissão em corrente contínua.

Dentre as características do MMC, este dispensa o uso de transformadores de isolamento e sua natureza modular facilita a escalabilidade para uma quantidade variável de níveis. O conversor PUC (*Packed-U-Cell*), proposto em [17], apresenta reduzido número de interruptores de potência para o mesmo número de níveis de tensão quando comparado com as demais topologias. Em [18], é proposto um conversor com reduzido número de interruptores nomeado de RMC (*Reduced Multilevel Converter*). Apesar do reduzido número de interruptores, este conversor apresenta um menor número de estados de comutação que contribui para piora da qualidade das tensões de saída.

Os conversores com capacitor chaveado tem surgido como uma alternativa para o aumento do número de níveis de tensão de saída com reduzido número de interruptores de potência [19], [20]. Diversas estruturas de conversores multiníveis em cascata monofásicos com capacitores chaveados foram propostas na literatura [21]–[24]. A extensão destes conversores para estruturas trifásicas, entretanto não é largamente explorada na literatura. Desta forma, uma extensão natural de [22] leva a replicar tais estruturas para formar três braços, típico de estruturas trifásicas. Por outro lado, ao expandir apenas o estágio de saída resulta no conversor trifásico multinível com capacitor chaveado 3MLSC (*Three-phase Multilevel Switched-Capacitor Converter*), conforme mostrado na Fig. 1. Este conversor emprega uma célula de entrada com uma fonte de tensão CC, um capacitor e três interruptores além de uma ponte trifásica de interruptores de saída. Além das topologias citadas, diversos outros conversores multiníveis têm sido propostos recentemente na literatura [25]–[29]. A Tabela I mostra um comparativo entre os principais conversores multiníveis, salientando número de interruptores de potência, número de diodos de grampeamento, número de fontes CC, número de capacitores CC e também a taxa de utilização percentual do barramento CC. Por meio desta tabela, é evidente que o conversor trifásico com capacitor chaveado 3MLSC apresenta reduzido número de componentes quando comparado com as demais topologias convencionais.

TABELA I
Comparação entre Conversores Trifásicos de 5 Níveis

	NPC	FLC	CH B	T-type	MMC *	RM C	3ML SC
Interrup. t.	12	12	12	12	12	9	9
Diodos	6	0	0	0	0	0	0
Fonte CC	1	1	3	1	1	1	1
Capacit. Utiliz.	2	3	0	2	6	1	1
do elo CC %	100	100	100	100	100	100	200

*O MMC é formado por células do tipo meia-ponte.

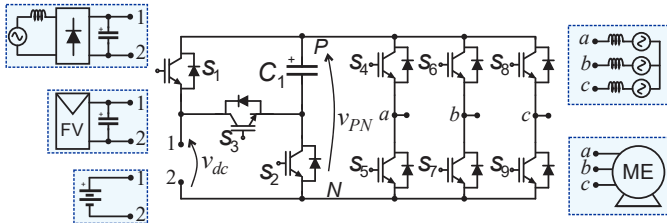


Fig. 1. 3MLSC e possíveis aplicações.

Além disso, diferentemente dos demais conversores apresentados, este conversor possui a taxa de utilização do barramento CC de 200 %, ou seja, este é capaz de sintetizar tensões de linha de saída com valor máximo igual ao dobro da tensão CC de entrada, caracterizando uma topologia com *boost* intrínseco.

Os conversores estáticos podem ser modulados de diversas formas [30], entretanto a modulação por largura de pulso PWM (*Pulse Width Modulation*) atualmente é uma das estratégias mais difundidas. Particularmente, a modulação PWM com abordagem *Space Vector* (SV) fornece graus de liberdade para selecionar vetores de comutação, possibilitando a obtenção de tensões de saída com reduzida distorção harmônica total THD (*Total Harmonic Distortion*) e baixas perdas de comutação [31]. Além disso, por meio de uma abordagem adequada, é possível reduzir a tensão de modo comum [32], regular as tensões dos capacitores em conversores multiníveis [33]–[37] ou ainda a corrente circulante em conversores com braços em paralelo magneticamente acoplados [38].

Este artigo apresenta uma estratégia de modulação SV para o conversor multinível trifásico com capacitor chaveado. Os vetores de comutação são escolhidos dentre os três mais próximos a partir de um novo diagrama vetorial. Além disso, os vetores são dispostos em sequências de comutação a fim de reduzir o número de comutações dos interruptores de potência. Resultados de simulação e experimentais são apresentados para demonstrar o bom desempenho da estratégia de modulação proposta.

II. DESCRIÇÃO DA TOPOLOGIA

O conversor multinível trifásico com capacitor chaveado 3MLSC é capaz de conectar a fonte de tensão contínua de entrada em série ou em paralelo com o capacitor C_1 . Desta forma é possível dobrar a tensão v_{PN} disponibilizada para a ponte trifásica de interruptores de saída; assim este conversor possui utilização de até 200% da tensão de entrada. A Fig. 2 mostra os estados de condução e as respectivas tensões de uma

fase do conversor. Note que há três possíveis tensões de fase de saída, que normalizadas pela tensão v_{pm} são: 0, 0,5 e 1. Portanto, este conversor é capaz de sintetizar três níveis de tensão de fase e cinco níveis de tensão de linha. Além disso, verificam-se redundâncias para síntese da tensão nula, ou seja, dois estados de condução (Fig. 2(c) e Fig. 2 (d)) podem ser empregados para sintetizar a tensão nula de saída de fase.

Em estratégias de modulação SV, cada estado de condução está diretamente relacionado a um vetor de tensão no espaço das tensões de saída em coordenadas abc . Para sistemas trifásicos a três fios, pode ser empregada uma transformação linear para mapear os vetores no espaço de tensões de saída $\alpha\beta$. Estes vetores são descritos por \mathbf{v}^k onde $k=\{0\dots15\}$ juntamente com os estados lógicos dos interruptores e as tensões de saída no espaço $\alpha\beta$ são mostrados na Tabela II.

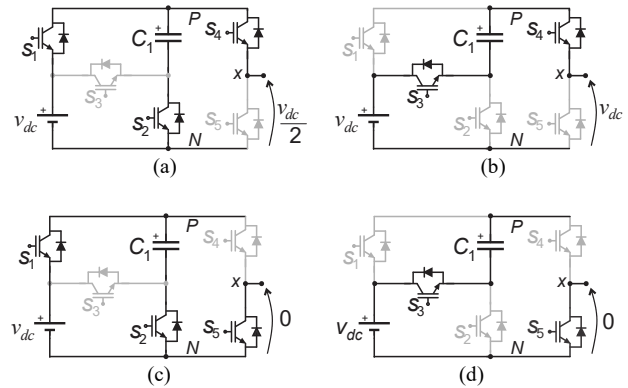


Fig. 2. Etapas de operação de um braço do conversor. Tensões de saída. (a) $v_{xN}=v_{PN}/2$, (b) $v_{xN}=v_{PN}$, (c) $v_{xN}=0$, (d) $v_{xN}=0$.

TABELA II
VETORES DE COMUTAÇÃO DO CONVERSOR 3MLSC

Interruptores		Vetor		Interruptores		Vetor							
S_1	S_4	S_6	S_8	v_α	v_β	\mathbf{v}^k	S_1	S_4	S_6	S_8	v_α	v_β	\mathbf{v}^k
0	0	0	0	0	0	\mathbf{v}^0	1	0	0	0	0	0	\mathbf{v}^8
0	1	0	0	$\frac{2}{3}$	0	\mathbf{v}^1	1	1	0	0	$\frac{1}{3}$	0	\mathbf{v}^9
0	1	1	0	$\frac{1}{3}$	$\frac{\sqrt{3}}{3}$	\mathbf{v}^2	1	1	1	0	$\frac{1}{6}$	$\frac{\sqrt{3}}{6}$	\mathbf{v}^{10}
0	0	1	0	$-\frac{1}{3}$	$\frac{\sqrt{3}}{3}$	\mathbf{v}^3	1	0	1	0	$-\frac{1}{6}$	$\frac{\sqrt{3}}{6}$	\mathbf{v}^{11}
0	0	1	1	$-\frac{2}{3}$	0	\mathbf{v}^4	1	0	1	1	$-\frac{1}{6}$	0	\mathbf{v}^{12}
0	0	0	1	$-\frac{1}{3}$	$-\frac{\sqrt{3}}{3}$	\mathbf{v}^5	1	0	0	1	$-\frac{1}{6}$	$-\frac{\sqrt{3}}{6}$	\mathbf{v}^{13}
0	1	0	1	$\frac{1}{3}$	$-\frac{\sqrt{3}}{3}$	\mathbf{v}^6	1	1	0	1	$\frac{1}{6}$	$-\frac{\sqrt{3}}{6}$	\mathbf{v}^{14}
0	1	1	1	0	0	\mathbf{v}^7	1	1	1	1	0	0	\mathbf{v}^{15}

A Fig. 3 mostra os vetores de tensão dispostos no diagrama SV. Os vetores deste diagrama podem ser classificados em: vetores nulos $\mathbf{v}^z=\{\mathbf{v}^0, \mathbf{v}^7, \mathbf{v}^8, \mathbf{v}^{16}\}$, vetores pequenos $\mathbf{v}^s=\{\mathbf{v}^9, \mathbf{v}^{10}, \mathbf{v}^{11}, \mathbf{v}^{12}, \mathbf{v}^{13}, \mathbf{v}^{14}\}$ e vetores grandes $\mathbf{v}^l=\{\mathbf{v}^1, \mathbf{v}^2, \mathbf{v}^3, \mathbf{v}^4, \mathbf{v}^5, \mathbf{v}^6\}$.

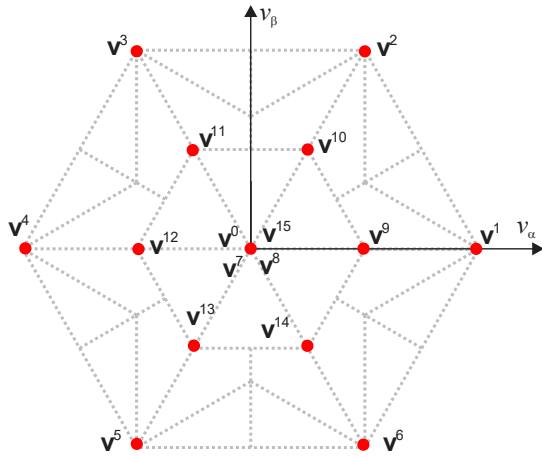


Fig. 3. Diagrama SV do conversor com os vetores de comutação em coordenadas $\alpha\beta$.

Geralmente os diagramas SV de conversores multiníveis possuem os vetores médios além dos demais vetores citados anteriormente. Desta forma, o espaço das tensões forma triângulos simétricos e igualmente espaçados uns dos outros, nomeados na literatura como setores ou regiões. Para tal configuração de vetores, comumente aplica-se o conceito NTV (*Nearest Three Vectors*) [39], em que se escolhem os três vetores de comutação mais próximos do vetor de tensão de referência a ser sintetizado. No entanto, para a disposição de vetores apresentada na Fig. 3, onde não existem vetores médios, uma nova análise de seleção de vetores deve ser estabelecida.

III. DESCRIÇÃO DA ESTRATÉGIA DE MODULAÇÃO PROPOSTA

A. Definição dos Vetores de Comutação

Comumente, na modulação SV, os vetores de comutação são escolhidos de tal forma a minimizar THD das tensões de saída do conversor. Para isso, devem ser escolhidos os vetores mais próximos da referência. Esta seção apresenta uma metodologia para definição dos três vetores de comutação mais próximos da referência considerando as particularidades do diagrama vetorial [33]. Esta análise é apresentada para os primeiros 60 graus (ou primeiro sextante), podendo ser facilmente expandida para o restante do diagrama.

Seja o vetor de tensão \mathbf{u} pertencente ao primeiro sextante do diagrama vetorial. Para a obtenção dos três vetores mais próximos é definida a grandeza γ dada por

$$\gamma_j = |\mathbf{u} - \mathbf{v}_{xj}| + |\mathbf{u} - \mathbf{v}_{yj}| + |\mathbf{u} - \mathbf{v}_{zj}|, \quad (1)$$

onde $\{\mathbf{v}_{xj}, \mathbf{v}_{yj}, \mathbf{v}_{zj}\}$ é o j -ésimo conjunto de três vetores distintos dos cinco vetores de comutação do primeiro sextante do diagrama vetorial. Assim o conjunto dos três vetores de comutação mais próximos de \mathbf{u} será $\{\mathbf{v}_{xp}, \mathbf{v}_{yp}, \mathbf{v}_{zp}\}$ onde p é dado por:

$$p = \text{index}(\min[\gamma_1, \gamma_2, \dots, \gamma_{10}]). \quad (2)$$

Por meio deste critério, aplicado aos vetores pertencentes ao primeiro sextante do diagrama, obtém-se a distribuição com cinco setores apresentada na Fig. 4. Para cada uma das cinco regiões hachuradas, o critério da mínima distância resultou em três vetores mais próximos da referência. Desta forma, este critério resulta em mínima distorção harmônica das tensões de saída. A Fig. 4 apresenta apenas um sextante do diagrama SV

referente à Fig. 3, o que equivale a 60 graus. Pelo critério apresentado, os três vetores de comutação mais próximos à referência associados a cada setor são: S_1 ($\mathbf{v}^z, \mathbf{v}^{s1}, \mathbf{v}^{s2}$); S_2 ($\mathbf{v}^{s1}, \mathbf{v}^{s2}, \mathbf{v}^{\ell1}$); S_3 ($\mathbf{v}^{s1}, \mathbf{v}^{\ell1}, \mathbf{v}^{\ell2}$); S_4 ($\mathbf{v}^{s2}, \mathbf{v}^{\ell1}, \mathbf{v}^{\ell2}$); S_5 ($\mathbf{v}^{s1}, \mathbf{v}^{s2}, \mathbf{v}^{\ell2}$).

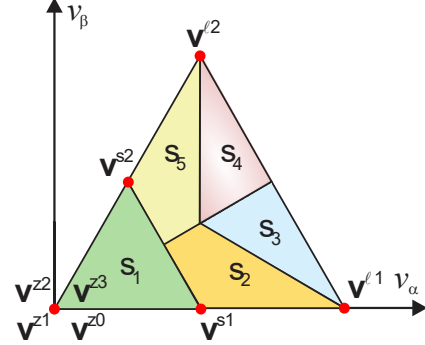


Fig. 4. Diagrama SV (60 graus) do conversor com os vetores de comutação em coordenadas $\alpha\beta$.

A Tabela III mostra a generalização dos vetores de comutação da Fig. 3. Além disso, os vetores $\mathbf{v}^{z0}, \mathbf{v}^{z1}, \mathbf{v}^{z2}$ e \mathbf{v}^{z3} referem-se aos vetores $\mathbf{v}^0, \mathbf{v}^7, \mathbf{v}^8$ e \mathbf{v}^{16} , respectivamente.

Vetor/Sextante	1	2	3	4	5	6
\mathbf{v}^{s1}	\mathbf{v}^9	\mathbf{v}^{10}	\mathbf{v}^{11}	\mathbf{v}^{12}	\mathbf{v}^{13}	\mathbf{v}^{14}
\mathbf{v}^{s2}	\mathbf{v}^{10}	\mathbf{v}^{11}	\mathbf{v}^{12}	\mathbf{v}^{13}	\mathbf{v}^{14}	\mathbf{v}^9
$\mathbf{v}^{\ell1}$	\mathbf{v}^1	\mathbf{v}^2	\mathbf{v}^3	\mathbf{v}^4	\mathbf{v}^5	\mathbf{v}^6
$\mathbf{v}^{\ell2}$	\mathbf{v}^2	\mathbf{v}^3	\mathbf{v}^4	\mathbf{v}^5	\mathbf{v}^6	\mathbf{v}^1

B. Cálculo das Durações dos Vetores de Comutação

Uma vez escolhidos os vetores de comutação para cada região do diagrama vetorial, a duração destes deve ser determinada. Suponha um vetor médio de referência $\mathbf{u}_{\alpha\beta}$ ser sintetizado no espaço das tensões $\alpha\beta$ de saída.

Este vetor pode ser escrito como uma ponderação tempo-tensão relacionada a três vetores genéricos da seguinte forma:

$$\mathbf{u}_{\alpha\beta} = \frac{1}{T_s} \left[\int_0^{t_1} \mathbf{v}^1 dt + \int_{t_1}^{t_2} \mathbf{v}^2 dt + \int_{t_2}^{t_3} \mathbf{v}^3 dt \right], \quad (3)$$

onde $\mathbf{v}^1, \mathbf{v}^2$ e \mathbf{v}^3 são três vetores de comutação mais próximos da referência no espaço $\alpha\beta$. De forma simplificada, (3) pode ser reescrita como:

$$\mathbf{u}_{\alpha\beta} = d_1 \mathbf{v}^1 + d_2 \mathbf{v}^2 + d_3 \mathbf{v}^3, \quad (4)$$

onde d_1, d_2 e d_3 são as razões cíclicas dos vetores $\mathbf{v}^1, \mathbf{v}^2$ e \mathbf{v}^3 , respectivamente. Substituindo as coordenadas associadas aos vetores, ou seja, $\mathbf{v} = [v_\alpha \ v_\beta]^T$ e sabendo que a soma das razões cíclicas é unitária, as razões cíclicas podem ser reescritas a partir de (4) como:

$$\begin{bmatrix} d_1 \\ d_2 \\ d_3 \end{bmatrix} = \begin{bmatrix} v_\alpha^1 & v_\alpha^2 & v_\alpha^3 \\ v_\beta^1 & v_\beta^2 & v_\beta^3 \\ 1 & 1 & 1 \end{bmatrix}^{-T} \begin{bmatrix} u_\alpha \\ u_\beta \\ 1 \end{bmatrix}. \quad (5)$$

A partir da substituição dos vetores do diagrama SV da Fig. 4 em (5), são obtidas as razões cíclicas parciais para todas as regiões.

C. Sequências de Comutação

A flexibilidade quanto a escolha de diferentes sequências de comutação é uma vantagem das estratégias de modulação SV. Uma sequência de comutação define a distribuição dos vetores ao longo de um período da atualização da lei de controle. Além disso, geralmente a escolha das sequências envolvem as seguintes prioridades [31]: (i) número de comutações dos interruptores de potência, (ii) taxa de distorção harmônica e (iii) simplicidade de implementação. A Fig. 5 mostra as sequências de comutação juntamente com os sinais de comando dos interruptores s_1, s_3, s_4, s_6, s_8 para o primeiro sextante do diagrama vetorial.

A Tabela IV mostra as sequências de comutação escolhidas para os cinco setores de um sextante de forma generalizada. Os vetores de comutação foram organizados de tal forma que a transição de um vetor para o mais próximo resulte em no máximo a comutação de um par de interruptores de potência.

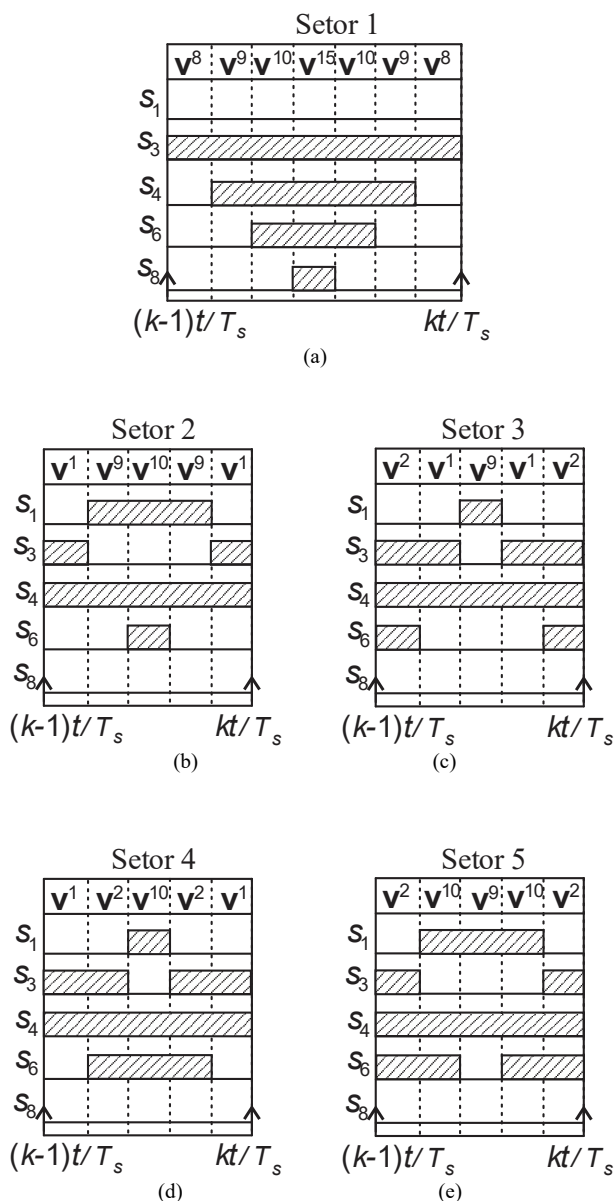


Fig. 5. Sequências de comutação para o primeiro sextante do diagrama SV.

TABELA IV
SEQUÊNCIAS DE COMUTAÇÃO

Setor	Sequências de comutação
1	$v^{z2} v^{s1} v^{s2} v^{z3} v^{s2} v^{s1} v^{z2}$
2	$v^{l1} v^{s1} v^{s2} v^{s1} v^{l1}$
3	$v^{l2} v^{l1} v^{s1} v^{l1} v^{l2}$
4	$v^{l2} v^{l1} v^{s2} v^{l2} v^{l1}$
5	$v^{l2} v^{s2} v^{s1} v^{s2} v^{l2}$

IV. RESULTADOS DE SIMULAÇÃO

Resultados de simulação foram obtidos para demonstrar o desempenho da estratégia de modulação proposta. A Tabela V mostra os parâmetros de simulação e também experimentais utilizados.

TABELA V
PARÂMETROS DE SIMULAÇÃO E EXPERIMENTAIS

Parâmetro	Valor
Potência (P)	1 kW
Tensão de entrada (v_{dc})	100 V
Tensão do barramento CC (v_{PN})	200 V
Tensão de saída de linha rms (v_L)	127 V
Frequência fundamental (f)	60 Hz
Frequência de comutação ($f_s=1/T_s$)	10 kHz
Capacitância de entrada (C_1)	1 mF
Indutância de filtro de saída (L)	4 mH
IGBT's	STG19N60KD

A Fig. 6 mostra os resultados de simulação para: tensão de linha de saída, correntes de saída, tensão sobre o capacitor C_1 e tensão v_{PN} . Este resultado refere-se a um índice de modulação 0,7 onde uma carga resistiva trifásica de 50Ω é conectada em estrela junto ao filtro indutivo de saída. A tensão v_{C1} é aproximadamente constante, apresentando uma pequena ondulação. Já a tensão v_{PN} alterna-se em alta frequência entre os valores 100 V e 200 V.

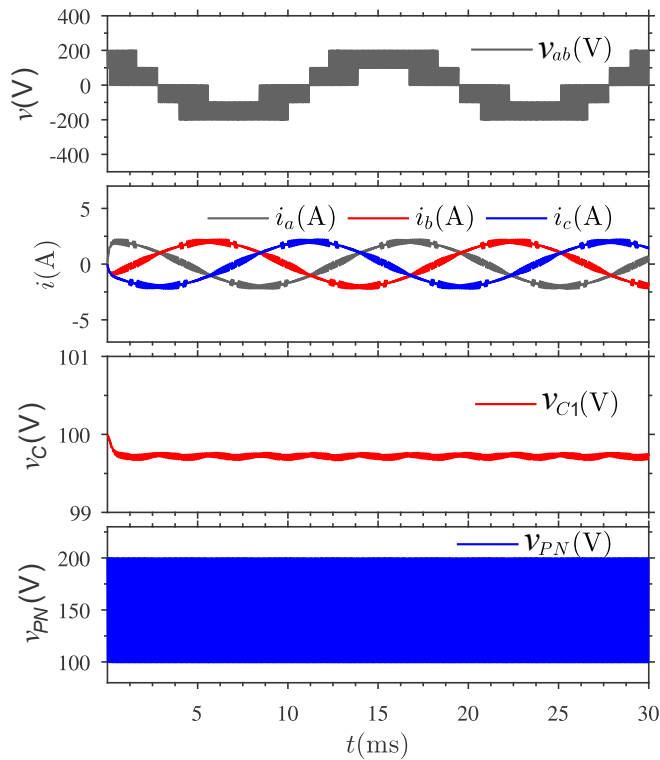


Fig. 6. Resultados de simulação para: Tensão de linha v_{ab} , correntes i_a , i_b , i_c , tensão sobre o capacitor e tensão v_{PN} .

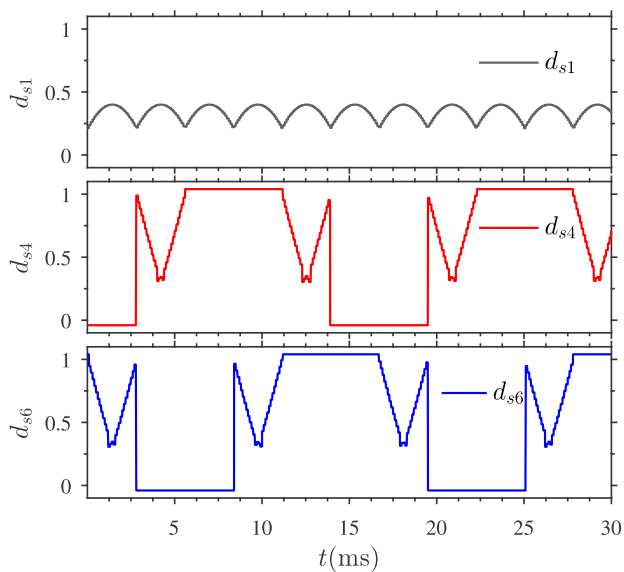


Fig. 7. Resultados de simulação: tensão de linha v_{ab} , sinais modulantes d_{s1} , d_{s4} e d_{s6} .

A Fig. 7 mostra os resultados de simulação referentes às razões cíclicas que dão origem ao acionamento dos interruptores de potência s_1 , s_4 e s_6 . As razões cíclicas d_{s4} e d_{s6} apresentam descontinuidades, onde em alguns intervalos estas estão grampeadas em 0 ou 1, conseqüentemente os interruptores de potência deixam de comutar nestes intervalos como será mostrado nos resultados experimentais.

A Fig. 8 mostra o espectro harmônico da tensão de linha de saída para o índice de modulação 0,7, em que a amplitude da componente fundamental é 140 V. As componentes harmônicas de alta frequência oriundas da comutação encontram-se nas frequências múltiplas de f_s e nas respectivas bandas laterais.

Já a Fig. 9 mostra a THD da tensão de linha de saída em função do índice de modulação em amplitude para a estratégia de modulação proposta aplicada ao 3MLSC. Além disso, é apresentada a mesma variável oriunda da estratégia de modulação SV comumente aplicada ao conversor multinível NPC. Esta última apresenta menor THD para índices de modulação maiores que 0,5. Isto se deve ao fato de que a modulação convencional aplicada ao NPC emprega todos os vetores de comutação incluindo os médios. Já para o conversor 3MLSC, a falta destes vetores resulta em um incremento da THD. É importante ressaltar que o desempenho da modulação proposta aplicada ao 3MLSC coincide com os resultados da estratégia de modulação aplicada ao NPC proposta em [40] em termos de THD. Na referida estratégia, o aumento da distorção é causado pela modificação dos sinais modulantes para eliminar as ondulações de tensão sobre os capacitores do barramento CC.

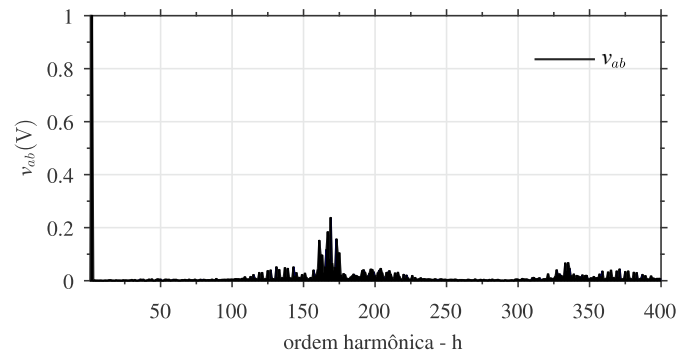


Fig. 8. Espectro harmônico da tensão de linha v_{ab} .

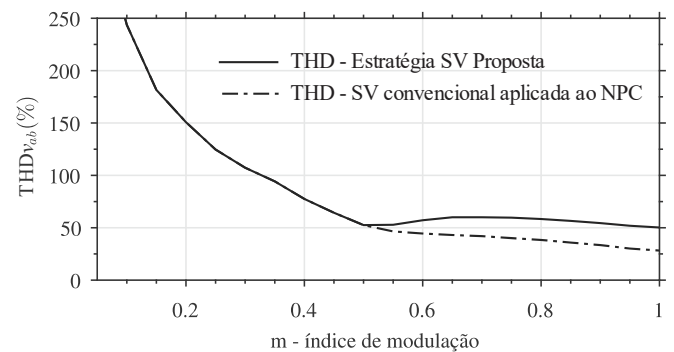


Fig. 9. THD da tensão de linha para a estratégia proposta aplicada ao 3MLSC e para estratégia SV comumente aplicada ao NPC.

V. RESULTADOS EXPERIMENTAIS

Com o objetivo de verificar a aplicabilidade e desempenho prático da técnica de modulação proposta, resultados experimentais foram obtidos a partir de um protótipo de conversor 3MLSC com potência de 1 kW. O DSP TMSF28377D da *Texas Instruments* foi utilizado para implementação da modulação e geração dos sinais de comando para os interruptores de potência. A Figura 10(a) mostra a tensão de linha de saída e a tensão sobre os interruptores s_4 , s_6 e s_8 para índice de modulação igual a 0,95. A estratégia de modulação apresenta intervalos de 120 graus (aproximadamente 5,5 ms) onde os sinais modulantes estão grampeados em nível '0' ou '1'. Esta descontinuidade faz com que os interruptores de potência permaneçam em condução ou em bloqueio durante estes intervalos. Já a Fig. 10(b) mostra a tensão sobre os interruptores s_1 , s_2 e s_3 para as mesmas condições. Estes interruptores operam em alta frequência continuamente.

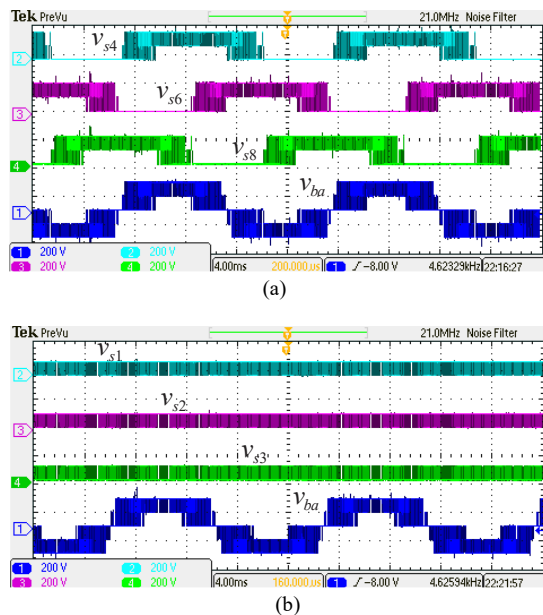


Fig. 10. Tensões sobre os interruptores para o índice de modulação 0,95. (a) v_{s4} , v_{s6} , v_{s8} , v_{ba} , (b) v_{s1} , v_{s2} , v_{s3} , v_{ba} . Escalas (200V/div. e 4ms/div).

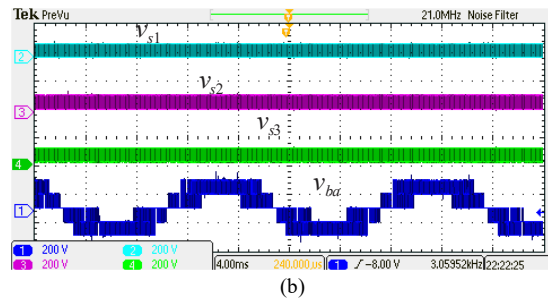
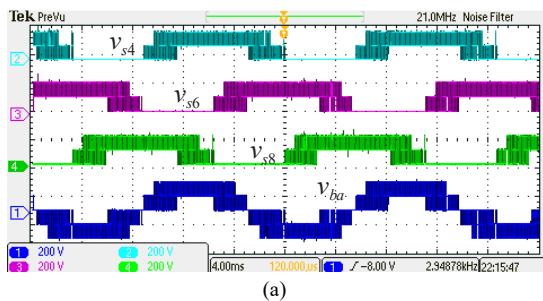


Fig. 11. Tensões sobre os interruptores para o índice de modulação 0,75. (a) v_{s4} , v_{s6} , v_{s8} , v_{ba} , (b) v_{s1} , v_{s2} , v_{s3} , v_{ba} . Escalas (200V/div. e 4ms/div).

Em aplicações de acionamento de máquinas elétricas em velocidade variável, por exemplo, é requerido que o inversor opere em diversos índices de modulação. Assim, são apresentados resultados para outros índices de modulação na da região de operação linear do conversor. As Fig. 11 e Fig. 12 mostram a tensão de linha de saída, tensão sobre os interruptores para índices de modulação de 0,75 e 0,35, respectivamente. Note pela Fig. 12 que o índice de modulação menor que 0,5 resulta em padrão PWM com dois níveis na tensão de linha de saída.

A Fig. 13(a) mostra a corrente de saída, tensão v_{C1} e tensão intermediária v_{PN} . Para a obtenção dos resultados com fator de potência em atraso foi conectado na saída do conversor uma carga resistivo-indutiva onde $R=50 \Omega$ e $L=150 \text{ mH}$. A Fig. 13(b) mostra os resultados de corrente de saída, tensões v_{C1} e v_{PN} quando o conversor alimenta a carga com fator de potência em atraso. Já as Figuras 14 e 15 apresentam os resultados sob iguais circunstâncias da Fig. 13, porém para índices de modulação de 0,75 e 0,35, respectivamente. Note que, para índices de modulação menores que 0,5, a tensão v_{PN} é constante e igual ao valor da tensão de entrada v_{dc} .

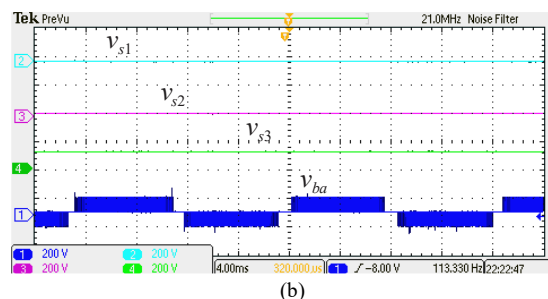
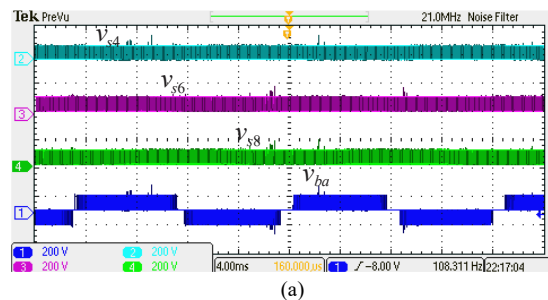
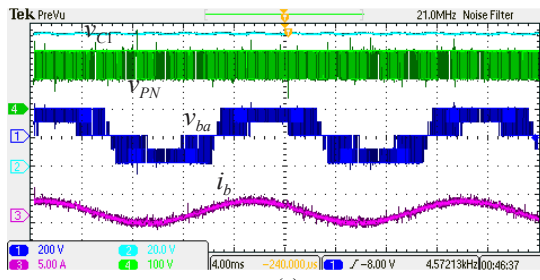
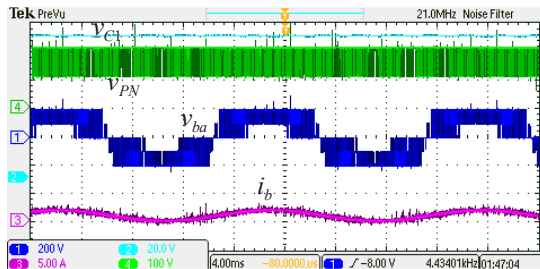


Fig. 12. Tensões sobre os interruptores para índice de modulação 0,35. (a) v_{s4} , v_{s6} , v_{s8} , v_{ba} , (b) v_{s1} , v_{s2} , v_{s3} , v_{ba} . Escalas (200V/div. e 4ms/div.).

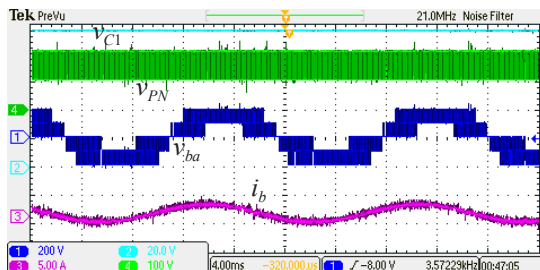


(a)

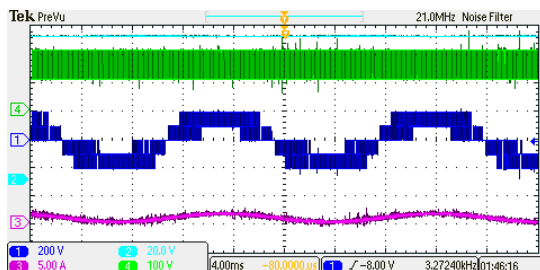


(b)

Fig. 13. Resultados experimentais: v_{C1} (20V/div), v_{PN} (100V/div), v_{ba} (200V/div), i_b (5A/div), para índice de modulação 0,95. (a) fator de potência unitário. (b) fator de potência em atraso.

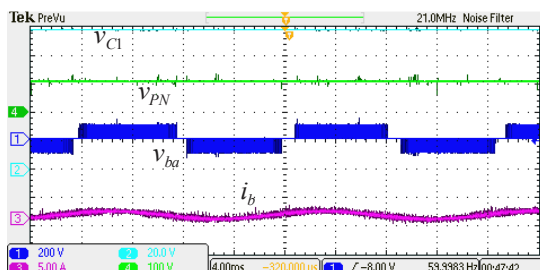


(a)

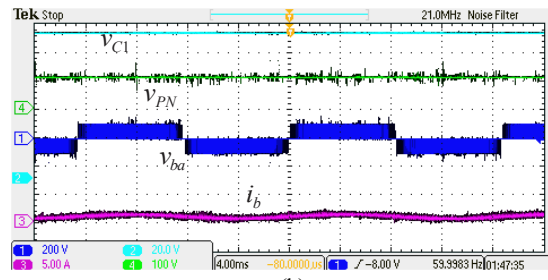


(b)

Fig. 14. Resultados experimentais: v_{C1} (20V/div), v_{PN} (100V/div), v_{ba} (200V/div), i_b (5A/div), para índice de modulação 0,75. (a) fator de potência unitário. (b) fator de potência em atraso.



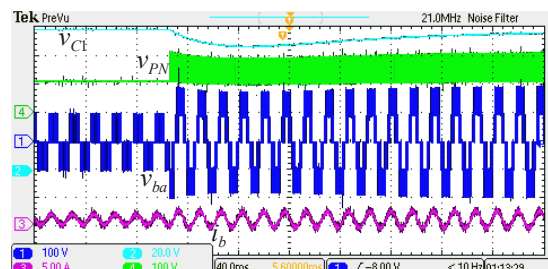
(a)



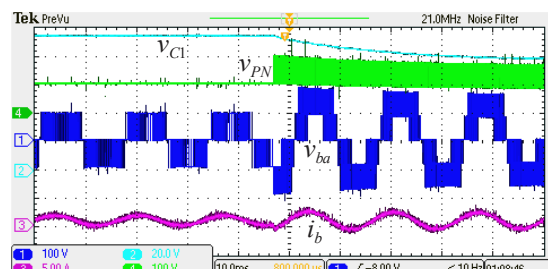
(b)

Fig. 15. Resultados experimentais: v_{C1} (20V/div), v_{PN} (100V/div), v_{ba} (200V/div), i_b (5A/div), para índice de modulação 0,35. (a) fator de potência unitário. (b) fator de potência em atraso.

A Fig. 16 mostra os resultados experimentais de tensão e corrente de saída, tensões v_{C1} e v_{PN} para um transiório de índice de modulação de 0,4 para 0,8. Durante o transiório ocorre a redução da tensão v_{C1} , entretanto esta tensão naturalmente é restaurada em poucos ciclos de frequência fundamental sem qualquer mecanismo de controle adicional. É importante ressaltar que quando a tensão v_{C1} é menor que v_{dc} durante o período transiório, podem ocorrer valores elevados de corrente devido os capacitores serem colocados em paralelo em alguns estados de comutação.



(a)



(b)

Fig. 16. Resultados experimentais de um transiório no índice de modulação de 0,45 para 0,85. Escalas de tensão v_{C1} (20V/div), v_{PN} (100V/div), v_{ba} (200V/div), i_b (5A/div). (a) Escala de tempo (40ms/div). (b) Escala de tempo (10ms/div).

VI. CONCLUSÕES

Este artigo propôs uma estratégia de modulação para inversores trifásicos com capacitor chaveado. Foi apresentada uma análise dos possíveis estados de operação do inversor e a posterior disposição destes em forma de vetores de comutação no espaço vetorial das tensões de saída $\alpha\beta$. Os vetores foram dispostos em seqüências apropriadas a fim de minimizar o número de comutações. Além disso, seqüências simétricas foram estabelecidas com o intuito de facilitar a implementação em modulador PWM de microcontroladores e processadores digitais de sinais. O inversor apresentado possui reduzido

número de interruptores de potência e o dobro da taxa de utilização do barramento CC quando comparado com os conversores multiníveis convencionais citados. Devido as limitações em termos dos estados de comutação disponíveis, a THD das tensões de saída é maior quando comparado com os demais conversores multiníveis.

REFERÊNCIAS

- [1] J. I. Leon, S. Kouro, L. G. Franquelo, J. Rodriguez, and B. Wu, "Multilevel converters: Control and modulation techniques for their operation and industrial applications," *Proceedings of the IEEE*, vol. 105, no. 11, pp. 2066–2081, Nov 2017.
- [2] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, "The age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, June 2008.
- [3] J. I. Leon, S. Kouro, L. G. Franquelo, J. Rodriguez, and B. Wu, "The essential role and the continuous evolution of modulation techniques for voltage-source inverters in the past, present, and future power electronics," *IEEE Transactions on Industrial Electronics*, vol. 63, no. 5, pp. 2688–2701, May 2016.
- [4] X. Zhang, T. Zhao, W. Mao, D. Tan, and L. Chang, "Multilevel inverters for grid-connected photovoltaic applications: Examining emerging trends," *IEEE Power Electronics Magazine*, vol. 5, no. 4, pp. 32–41, Dec 2018.
- [5] S. Verne, S. Gonzalez, and M. Ines Valla, "Induction motor driven by a camc using predictive control," *IEEE Latin America Transactions*, vol. 12, no. 5, pp. 883–888, Aug 2014.
- [6] F. B. Grigoletto, "Five-Level Transformerless Inverter for Single-Phase Solar Photovoltaic Applications," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, to be published, doi: 10.1109/JESTPE.2019.2891937.
- [7] R. Melicio, V. M. F. Mendes, and J. P. S. Catalao, "Modeling and simulation of wind energy systems with matrix and multilevel power converters," *IEEE Latin America Transactions*, vol. 7, no. 1, pp. 78–84, March 2009.
- [8] Q. Wang, F. Deng, C. Liu, Q. Heng, and Z. Chen, "Thyristor-based modular multilevel converter-HVDC systems with current interruption capability," *IET Power Electronics*, vol. 12, no. 12, pp. 3056–3067, Oct 2019.
- [9] A. Nabae, I. Takahashi, and H. Akagi, "A new neutral-point-clamped PWM inverter," *IEEE Transactions on Industry Applications*, vol. IA-17, no. 5, pp. 518–523, Sept 1981.
- [10] T. A. Meynard, H. Foch, P. Thomas, J. Courault, R. Jakob, and M. Nahrstaedt, "Multicell converters: basic concepts and industry applications," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 5, pp. 955–964, Oct 2002.
- [11] S. Choi and M. Saadedifard, "Capacitor voltage balancing of flying capacitor multilevel converters by space vector PWM," *IEEE Transactions on Power Delivery*, vol. 27, no. 3, pp. 1154–1161, July 2012.
- [12] M. Malinowski, K. Gopakumar, J. Rodriguez, and M. A. Perez, "A survey on cascaded multilevel inverters," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2197–2206, July 2010.
- [13] R. A. Vargas, A. Figueroa, S. E. De Leon, J. Aguayo, L. Hernandez, and M. A. Rodriguez, "Analysis of minimum modulation for the 9-level multilevel inverter in asymmetric structure," *IEEE Latin America Transactions*, vol. 13, no. 9, pp. 2851–2858, Sep. 2015.
- [14] S. Cailhol, P.-E. Vidal and F. Rotella, "A Generic Method of Pulsewidth Modulation Applied to Three-Phase Three-Level T-Type NPC Inverter," *IEEE Transactions on Industry Applications*, vol. 54, no. 5, pp. 4515–4522, Sep. 2018.
- [15] A. Lesnicar and R. Marquardt, "An innovative modular multilevel converter topology suitable for a wide power range," in *Power Tech Conference Proceedings, 2003 IEEE Bologna*, vol. 3, June 2003, pp. 6 pp. Vol.3.
- [16] R. Sartorio Camargo, W. Totola Nunes, D. Marins Dallapicula, L. Frizera Encarnacao, and D. Savio Lyrio Simonetti, "Design and analysis methodology for modular multilevel converters (MMC)," *IEEE Latin America Transactions*, vol. 16, no. 4, pp. 1105–1112, April 2018.
- [17] Y. Ounejjar, K. Al-Haddad, and L. A. Gregoire, "Packed U cells multilevel converter topology: Theoretical study and experimental validation," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 4, pp. 1294–1306, April 2011.
- [18] M. Norambuena, S. Kouro, S. Dieckerhoff and J. Rodriguez, "Reduced Multilevel Converter: A Novel Multilevel Converter With a Reduced Number of Active Switches," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 5, pp. 3636–3645, May 2018.
- [19] K. K. Gupta, A. Ranjan, P. Bhatnagar, L. K. Sahu, and S. Jain, "Multilevel inverter topologies with reduced device count: A review," *IEEE Transactions on Power Electronics*, vol. 31, no. 1, pp. 135–151, Jan 2016.
- [20] R. Barzegarkhoo, H. M. Kojabadi, E. Zamiry, N. Vosoughi, and L. Chang, "Generalized structure for a single phase switched-capacitor multilevel inverter using a new multiple dc link producer with reduced number of switches," *IEEE Transactions on Power Electronics*, vol. 31, no. 8, pp. 5604–5617, Aug 2016.
- [21] Gui-Jia Su, "Multilevel de-link inverter," *IEEE Transactions on Industry Applications*, vol. 41, no. 3, pp. 848–854, May 2005.
- [22] Y. Hinago and H. Koizumi, "A single-phase multilevel inverter using switched series/parallel dc voltage sources," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2643–2650, Aug 2010.
- [23] S. S. Lee, "Single-stage switched-capacitor module (S3CM) topology for cascaded multilevel inverter," *IEEE Transactions on Power Electronics*, vol. 33, no. 10, pp. 8204–8207, Oct 2018.
- [24] E. Babaei and S. S. Gowgani, "Hybrid multilevel inverter using switched capacitor units," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 9, pp. 4614–4621, Sep. 2014.
- [25] K. Wang, Z. Zheng and Y. Li, "Topology and Control of a Four-Level ANPC Inverter," in *IEEE Transactions on Power Electronics*, vol. 35, no. 3, pp. 2342–2352, March 2020.
- [26] J. Chen and C. Wang, "Dual T-Type Four-Level Converter," in *IEEE Transactions on Power Electronics*, vol. 35, no. 6, pp. 5594–5600, June 2020.
- [27] M. Sharifzadeh and K. Al-Haddad, "Packed E-Cell (PEC) Converter Topology Operation and Experimental Validation," in *IEEE Access*, vol. 7, pp. 93049–93061, 2019.
- [28] A. R. Dekka, A. Ramezani, S. Ounie and M. Narimani, "A New Five Level Voltage Source Inverter: Modulation and Control," in *IEEE Transactions on Industry Applications*, to be published, doi: 10.1109/TIA.2020.3000712.
- [29] A. M. S. Ali, H. V. Khang, K. G. Robbersmyr, M. Norambuena and J. Rodriguez, "Novel Three-Phase Multilevel Inverter with Reduced Components for Low- and High-Voltage Applications," in *IEEE Transactions on Industrial Electronics*, to be published, doi: 10.1109/TIE.2020.2998752.
- [30] J. Pou, J. Zaragoza, P. Rodriguez, S. Ceballos, V. M. Sala, R. P. Burgos, and D. Boroyevich, "Multilevel Converters: Control and Modulation Techniques for Their Operation and Industrial Applications," *Proceedings of the IEEE*, vol. 105, no. 11, pp. 2066–2081, Nov 2017.
- [31] H. Pinheiro, F. Botteron, C. Rech, L. Schuch, R. F. Camargo, H. L. Hey, H. A. Grundling, and J. R. Pinheiro, "Modulação space vector para inversores alimentados em tensão: uma abordagem unificada," *Sba: Controle e Automação*, vol. 16, pp. 13–24, March 2005.
- [32] D. B. Chaves and F. B. Grigoletto, "Space Vector Modulation Techniques for Common-Mode Voltage Reduction in Three-Phase Transformerless Split-Source Inverters," *Eletrônica de Potência*, vol. 25, no. 1, pp. 30–40, March 2020 doi:10.18618/REP.2020.1.0065.
- [33] F. B. Grigoletto and H. Pinheiro, "Nova modulação vetorial para o controle da tensão do ponto central do divisor capacitivo do conversor com ponto neutro grampeado," *Sba: Controle e Automação*, vol. 20, pp. 439–453, Sept 2009.
- [34] F. B. Grigoletto and H. Pinheiro, "A space vector PWM modulation scheme for back-to-back three level diode-clamped converters," in *2009 Brazilian Power Electronics Conference*, Sept 2009, pp. 1058–1065.
- [35] F. B. Grigoletto and H. Pinheiro, "Generalised pulse width modulation approach for DC capacitor voltage balancing in diode-clamped multilevel converters," in *IET Power Electronics*, vol. 4, no. 1, pp. 89–100, January 2011.
- [36] F. B. Grigoletto, M. Stefanello, G. S. da Silva, and H. Pinheiro, "Space vector pulse width modulation for modular multilevel converters," in *IECON 2016 - 42th Annual Conference on IEEE Industrial Electronics Society*, Oct 2016, pp. 388–393.
- [37] F. B. Grigoletto, "Multilevel Common-Ground Transformerless Inverter for Photovoltaic Applications," *IEEE Journal of Emerging*

and *Selected Topics in Power Electronics*, to be published, doi: 10.1109/JESTPE.2020.2979158.

- [38] F. Grigoletto and H. Pinheiro, "A hybrid modulation strategy for voltage fed converters with multiple parallel legs," in *Proc. Annual Conference on IEEE Industrial Electronics Society, IECON*, Melbourne, Australia, Nov 2011, pp. 1046–1051.
- [39] N. Celanovic and D. Boroyevich, "A fast space-vector modulation algorithm for multilevel three-phase converters," *IEEE Transactions on Industry Applications*, vol. 37, no. 2, pp. 637–641, Mar 2001.
- [40] J. Pou, J. Zaragoza, P. Rodriguez, S. Ceballos, V. M. Sala, R. P. Burgos, and D. Boroyevich, "Fast-processing modulation strategy for the neutral point clamped converter with total elimination of low-frequency voltage oscillations in the neutral point," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, pp. 2288–2294, Aug 2007.



Felipe Bovolini Grigoletto was born in Restinga Sêca, Brazil, in 1985. He received his B.Sc. (2007), Master (2009) and D.Sc. (2013) degrees in Electrical Engineering from the Federal University of Santa Maria, UFSM. He is currently a Professor with the Federal University of Pampa, UNIPAMPA, Alegrete,

Brazil. His research interests include, renewable energy conversion systems, grid-connected converters and modulation strategies for multilevel converters. Dr. Grigoletto is a member of the Sobraep and IEEE societies.