

# Printed Circuit Board Design Methodology for Embedded Systems Targeting Space Applications

C. Rigo, L. Seman, M. Berezuck, and E. Bezerra

**Abstract**—This paper presents an overview of the theory and main aspects involved in designing reliable printed circuit boards (PCB) for embedded systems to be used in space applications. To that end, the design and layout process of a satellite-oriented hardware architecture is described, along with an introductory text on PCB design theory, including high-speed signals, impedance control, and general good practices. As a case study, we present a board layout which follows the European Space Agency (ESA) design rules for printed circuit boards (ECSS-Q-ST-70-12C) with signal integrity analysis and a layered structure that mitigates electromagnetic interference effects. In this context, all components were selected to withstand wide temperature variation, the vacuum, and some even can tolerate radiation – as a microcontroller with ferroelectric program memory and a novel European radiation-hardened Field Programmable Gate Array (FPGA). Simulations results are presented in order to demonstrate the PCB signal integrity performance.

**Index Terms**—Printed-circuit-board, Embedded Systems, Hardware, Nanosatellite, Space.

## I. INTRODUÇÃO

UM dos primeiros sistemas embarcados caracteristicamente reconhecido como tal foi o computador de bordo do Programa Apollo, que teve sucesso em levar o homem à lua em 1969 [1]. Hoje, apesar dos sistemas embarcados estarem presentes na vida cotidiana, continuam cruciais para o desenvolvimento da indústria espacial, principalmente com a expansão e democratização do setor nos últimos 20 anos, fenômeno que vem sendo chamada de Nova Era Espacial [2]. No entanto, o ambiente espacial é consideravelmente mais severo que o terrestre, devido ao vácuo, altas variações térmicas, baixa dissipação de calor e altos níveis radioativos. Somado a isso, dispositivos eletrônicos para o espaço devem suportar intensas vibrações e ondas de choque provenientes do lançamento.

Placas de circuito impresso (PCI) são componentes fundamentais na produção de sistemas embarcados e constituem cada vez mais um complexo trabalho de engenharia, dada tendência de miniaturização das dimensões dos traços e espaços e o aumento da frequência dos sinais [3]. Também, a progressiva miniaturização dos transistores dos circuitos integrados (CI) [4] faz com que os tempos de borda de subida e descida diminuam, gerando sinais ditos de “alta velocidade” e que tornam imprescindível a análise e uso de técnicas de integridade de sinal [5] para garantir funcionamento robusto e confiável.

Aliado a isso, existem elevados custos associados a produção de dispositivos eletrônicos para o espaço, principalmente os de lançamento, e a impossibilidade de reparos uma vez lançados. Dessa forma, o projeto de sistemas embarcados para o ambiente espacial, especialmente o de placas de circuito impresso, se estabelece como um trabalho de engenharia notadamente crítico e complexo. Sendo assim, este artigo se propõe a discorrer sobre principais aspectos e problemáticas envolvidas neste tipo de projeto, bem como apresentar um estudo de caso, com o objetivo de ser um ponto de partida para novos projetos e deixar referências.

Para tanto, esse artigo se organiza da seguinte maneira: Seção II apresenta teoria de placas de circuito impresso, inclusive de aplicação espacial; Seção III contextualiza e apresenta o desenvolvimento do estudo de caso; Seção IV apresenta os resultados; Seção V conclui o trabalho.

## II. PLACAS DE CIRCUITO IMPRESSO

Com a principal finalidade de realizar, de forma compacta e eficiente, todas as conexões elétricas entre os diversos CIs, componentes passivos e conectores que constituem o esquemático elétrico, o maior desafio no projeto de PCIs é manter a integridade dos sinais. Fenômenos elétricos, como as reflexões de sinais e o *crossstalk*, se tornam relevantes quando um sinal é caracterizado como de alta velocidade. Ao contrário do que se possa pensar intuitivamente, não é a frequência nominal do sinal o fator determinante em caracterizá-lo como de alta velocidade, mas sim o tempo de borda de subida e descida dos componentes que o geram.

Segundo [6], [7], quando o tempo de viagem do sinal ao longo de uma trilha (ida e volta) é igual ou maior que o tempo de subida ou descida do CI, a integridade do sinal nesta trilha estará comprometida. Nesse caso, o projeto se torna de alta velocidade e um “comprimento crítico” é estabelecido, já que o tempo de viagem do sinal é proporcional ao comprimento da trilha. Sendo assim, trilhas mais curtas do que esse comprimento não devem ter problemas de integridade de sinal. Conforme [8], quando a energia eletromagnética refletida pela carga (dispositivo configurado como entrada) chegar ao pino de origem (dispositivo configurado como saída) e a borda do sinal original ainda se encontra em transição, o sinal original será forte o suficiente para absorver essa reflexão enquanto completa a transição – não havendo interferência. Mas se a transição da borda é completada antes que a energia refletida retorne, então, essa energia refletida irá interagir com o sinal original e alterá-lo.

O autores de [5], [7], trazem uma regra prática para determinar o comprimento crítico. Este é igual a 1/4 do tempo

Cezar A. Rigo, UFSC, Brazil, (email: cezar.rigo@spacelab.ufsc.br).  
 Laio O. Seman, UNIVALI, Brazil, (email: laioseman@gmail.com).  
 Marcelo D. Berezuck, UFSC, Brazil, (email: marcelo.berezuck@ufsc.br).  
 Eduardo A. Bezerra, UFSC, Brazil, (email: eduardo.bezerra@ufsc.br).

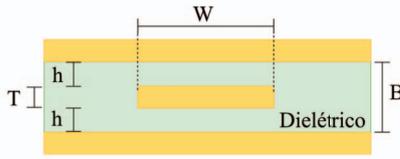


Fig. 1. Geometria Stripline.

de transição do dispositivo multiplicado pela velocidade de propagação dos sinais na PCI:

$$C_c = \frac{1}{4} \frac{T_r \times C}{\sqrt{E_r}} \quad (1)$$

em que  $C_c$  é o comprimento crítico (cm),  $T_r$  é o tempo de borda de subida/descida do dispositivo (ns),  $C$  é a velocidade da luz (cm/s), e  $E_r$  é a constante dielétrica do material da placa.

Como regra prática, quando o posicionamento dos componentes e as interconexões preliminares já forem conhecidas, deve-se usar a equação (1) para analisar todas as trilhas e determinar se são de alta velocidade ou não.

#### A. Controle de Impedância

Uma PCI é uma estrutura, rígida ou flexível, utilizada para suportar linhas de transmissão (LT) em forma de trilhas e/ou planos de alimentação, compartilhando um substrato comum. A impedância é uma das mais relevantes características de uma LT. Como a maioria das trilhas em uma PCI tem como função propagar informação (e não potência) em alta frequência, a impedância tem uma função primordial em absorver e controlar esse fluxo de energia. Para muitas trilhas, o excesso de energia, necessária para geração dos campos eletromagnéticos, pode se tornar um problema e normalmente é solucionado com casamento de impedâncias. Os fatores que interferem na impedância de uma trilha são a constante dielétrica do material e a geometria das camadas. Uma geometria muito usada é a *Stripline*, em que uma camada de trilhas é envolta por material dielétrico e planos condutores, conforme ilustrado na Fig. 1.

Outras geometrias muito utilizadas são a *Microstrip* (em que as trilhas ficam sobre um material dielétrico planar, que se encontra acima de um plano condutor) ou *Stripline Dupla* (duas camadas de sinais entre dois planos condutores). Os métodos de cálculo de impedância, nesses casos, são complexos e realizados a partir de aproximações baseadas em dados empíricos. Para o caso da *Stripline*, por exemplo, a equação (2) é usada para obtenção aproximada da impedância.

$$Z_0 = \frac{60}{\sqrt{E_r}} \ln \left( \frac{0,748 \times B}{0,315 \times W + 0,393 \times T} \right) \Omega \quad (2)$$

em que  $Z_0$  é impedância característica,  $W$  a espessura da trilha (cm),  $T$  a altura da trilha (cm),  $B$  a distância entre os dois planos de referência (cm) e  $E_r$  a constante dielétrica do material.

#### B. Reflexão Eletromagnética

Mudanças de impedância em uma linha de transmissão fazem com que as ondas eletromagnéticas que por ela viajam

sejam parcialmente ou totalmente refletidas. Essa energia que retorna na linha de transmissão pode causar interferência significativa nos sinais que vem em seguida ou mesmo danificar os dispositivos que, inesperadamente, a recebem. Por outro lado, a onda eletromagnética que perdeu esta energia chega defasada ao seu destino. Ritchey e Zasio [7] definem que reflexões que se somam à tensão colocada na LT pela fonte são chamadas de “overshoot” e reflexões que se subtraem são chamadas de “undershoot”. Os autores também citam a possibilidade de ocorrência de uma série de reflexões chamadas “ringing”, que ocorrem quando a linha de transmissão tem impedância significativamente maior que a da fonte e a da carga.

A equação (3) pode ser usada para calcular a porcentagem da energia eletromagnética que é refletida de volta para fonte, considerando as impedâncias dos dois lados do ponto de mudança [9].

$$\%_{\text{refletida}} = \frac{Z_l - Z_0}{Z_l + Z_0} \times 100 \quad (3)$$

onde  $Z_l$  é a impedância do lado da carga ou entrada e  $Z_0$  é a impedância do lado da fonte ou saída.

É característico dos dispositivos fonte possuírem uma impedância de saída baixa e dos dispositivos carga possuírem uma impedância de entrada muito elevada. Assim, têm-se um problema de reflexão, já que, aplicando a equação (3), obtêm-se 100% de reflexão nesse arranjo. Portanto, se, aliado a isso, a trilha for maior que o comprimento crítico, deve-se controlar a impedância dessa trilha e inserir resistências de terminação para absorção das reflexões. Configurações comuns de terminação são o uso de resistências em série ou em paralelo com a carga, por exemplo.

#### C. Crosstalk

*Crosstalk*, ou acoplamento, ocorre quando uma onda eletromagnética variante no tempo que se propaga em um condutor induz sinais indesejados em uma LT próxima [10], [11]. Segundo [5], sinais periódicos e especialmente de *clock* criam a maioria dos problemas e podem causar sérios comprometimentos de funcionalidade. Devido à distribuição de densidade de corrente do fluxo magnético dentro de uma linha de transmissão, a intensidade do campo magnético local associado cai rapidamente com a distância, se tornando negligenciável acima de 1 mm [7], [8]. Uma vez que duas trilhas estão em paralelo, o que realmente pode reduzir a magnitude dessa interferência de acoplamento é a distância que estas trilhas estão do plano de alimentação mais próximo e a distância entre a borda da trilha agressora e da trilha vítima [12].

Uma técnica muito usada para mitigar os efeitos elétricos que ocorrem desse acoplamento é traçar as trilhas de camadas adjacentes em ângulos retos, ortogonais, o que impede ocorrência de paralelismo entre camadas e zera o *crosstalk* [13]. Outra técnica é a  $3W$ , em que a distância entre trilhas paralelas é no mínimo três vezes a largura de uma trilha individual, medindo de ponto central a ponto central. Esta é a regra mais usada por projetistas de PCIs para atender a requerimentos de integridade de sinal, segundo [14], e normalmente é empregada em trilhas críticas como as de *clock*, *reset*, áudio, vídeo, pares diferenciais, e outras de alta velocidade.

#### D. Planos de Alimentação

As trilhas em uma PCI representam apenas 50% dos sinais, já que para cada uma delas existe um sinal de retorno. Conforme [15], em baixas velocidades a corrente de retorno segue o caminho de menor resistência, porém, em sinais de alta velocidade essas correntes seguem o caminho da menor indutância sendo que este fica diretamente abaixo da trilha. Existindo um plano ininterrupto e preenchendo toda camada adjacente à camada de sinal, se estabelecerá um caminho de baixa impedância para a fonte evitando que a energia de retorno siga por caminhos alternativos, como o dielétrico, trilhas adjacentes, ou mesmo o ar, o que causaria interferência eletromagnética [16]. Além disso, com as duas correntes estabelecidas (a de ida na trilha e a de retorno no plano), os campos eletromagnéticos associados se cancelarão, já que serão opostos, diminuindo ainda mais a possibilidade de interferência eletromagnética [5], [17].

Para garantir baixa impedância do plano, em [18] recomenda-se diminuir ao mínimo a distância entre o plano de alimentação e a camada de sinal ou mesmo, para sinais acima de 50 MHz, dedicar duas camadas para planos de alimentação, uma acima e outra abaixo da de sinal. Os autores também recomendam fazer as trilhas de alta velocidade o mais curtas possível, para diminuir os caminhos de retorno.

#### E. Capacitores de Desacoplamento

O sistema de potência deve ser capaz de fornecer correntes quase que instantaneamente para a comutação dos transistores dos CIs, que podem ocorrer a qualquer instante e simultaneamente em grande número. No entanto, essa variação instantânea não é possível caso haja indutância no sistema de distribuição de energia, sendo que, a tensão criada sob esses indutores gera flutuações de aterramento (ruído) [18]. Uma das soluções para este problema é adição de capacitores de desacoplamento o mais próximo possível dos pinos de alimentação dos CIs. Montrose [8] recomenda inseri-los próximos a todos dispositivos com bordas de transição mais rápidas que 2 ns.

Estes capacitores podem ser vistos como pequenas baterias que fornecem elétrons imediatamente para os CIs, sem que eles precisem passar pelo longo caminho do sistema de distribuição de potência [9]. Isso faz com que a troca de energia de alta frequência fique localizada em pequenos laços (ou *loops*), ao invés de atravessar toda placa, gerando consideravelmente menos emissões eletromagnéticas [8]. O valor desses capacitores de desacoplamento deve ser selecionado para ressonar na primeira, terceira e/ou quinta harmônica do sinal predominante no dispositivo, como seu *clock*.

#### F. PCIs de Aplicação Espacial

Há uma combinação de fatores que tornam o ambiente espacial severo aos dispositivos eletrônicos sendo o primeiro grande obstáculo suportar os intensos níveis de vibração e ondas de choque gerados pelo lançamento. Por consequência, rigorosos protocolos de qualidade e inspeção devem ser seguidos para garantir altíssima confiabilidade e robustez. Desta

forma, o fabricante das placas deve ter o certificado IPC 6012 classe 3/A de qualidade [19] e os procedimentos de solda dos componentes devem seguir as regras da normativa ECSS-Q-ST-70-08 [20].

Um dos principais problemas associados à solda em ambiente espacial é a formação de *whiskers* (Fig. 2), que são estruturas cristalinas semelhantes a pelos que podem crescer a partir de superfícies revestidas ou compostas por estanho puro, cádmio ou zinco, metais proibidos para aplicação espacial em sua forma pura [19]. Estas estruturas têm mecanismo de crescimento desconhecido, apesar de mais de 60 anos de estudos, e seu comprimento pode chegar até mais de 20 mm e conduzir dezenas de mA de corrente antes de se romper [21]. Sua ocorrência já foi associada a falha de diversos satélites, já que os principais catalisadores de sua formação são o estresse mecânico e variabilidade térmica [22], aos quais estes estão constantemente sujeitos. Nenhuma técnica de mitigação única fornece proteção efetiva contra a formação de *whiskers*, exceto a adição de 3% ou mais de chumbo na liga metálica da solda [23] e a aplicação de revestimento de conformação na PCI (um filme polimérico fino que se deposita em uma placa de circuito impresso para proteger os componentes).

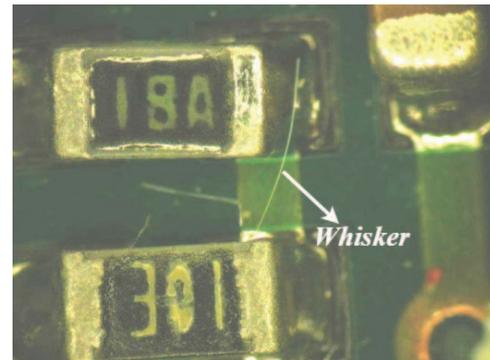


Fig. 2. *Whiskers* de estanho [24].

Em geral, no que se refere a temperatura de funcionamento, para aplicações em órbita terrestre baixa (*Low Earth Orbit* ou LEO), componentes eletrônicos de classificação industrial estão preparados para tolerar a variabilidade térmica [25]. No entanto, o aparecimento de rupturas e rachaduras pode ocorrer em materiais adjacentes (como o material de um componente e o material da PCI) que possuam grandes diferenciais no coeficiente de expansão térmica, portanto essas diferenças devem ser minimizadas.

O vácuo, por sua vez, afeta a condução de calor, já que não há convecção e, portanto, as soluções de dissipação de calor dos CIs devem levar em consideração apenas perdas por condução e radiação. Componentes que contenham gases, como os capacitores eletrolíticos, não podem ser expostos ao vácuo já que a violenta expansão do gás pode fazer com que explodam. Sendo assim, uma alternativa muito usada é selecionar apenas capacitores cerâmicos ou de tântalo para o projeto elétrico [19]. Esse fenômeno, conhecido como *out-gassing*, pode ocorrer também em outros componentes de um satélite, como cabos e conectores sendo que a ESA (acrônimo

de *European Space Agency*) possui uma normativa específica para isso, a ECSS-Q-ST-70-02.

Segundo [26] a radiação ionizante incidindo em PCIs pode depositar carga nos circuitos, capacitores, planos de cobre, e mesmo no dielétrico. No entanto, as partículas de radiação ionizante são especialmente danosas aos circuitos integrados (CI), dada miniaturização e alta densidade de elementos, causando inversões de bit em memórias, curto-circuitos ou até mesmo levando a perda do dispositivo [27]. Dependendo de quão crítica é a missão, deve-se selecionar os principais CIs do projeto para que sejam tolerantes ou resistentes a radiação. Sendo assim, em geral, componentes que não contenham semicondutores podem ser considerados tolerantes à radiação (por exemplo resistores, indutores e capacitores) [27].

Em relação ao layout e projeto de uma PCI para aplicação espacial, a normativa ECSS-Q-ST-70-12C da ESA contempla regras sobre: materiais para PCI, topologia das camadas, dimensões e espessura; largura, espaçamento e roteamento de trilhas; projeto de *pads* e *fanout*; planos de cobre; análise térmica; análise elétrica; análise de alta frequência; fabricação e confiabilidade; e posicionamento e montagem. Portanto, seguir todas as regras que se aplicam no projeto alvo é altamente recomendado. A Tabela I apresenta uma suma de algumas destas regras que normalmente recaem em projetos sendo que em sua maioria são normas de boas práticas, pertinentes de considerar mesmo em aplicações não espaciais.

### III. DESENVOLVIMENTO

Como estudo de caso este trabalho apresenta o desenvolvimento de uma PCI para nanosatélites, ou CubeSats, com uma arquitetura de hardware projetada para realizar a validação em órbita de duas novas tecnologias: um FPGA resistente a radiação e um sistema para telemetria (TM) e telecomando (TC) seguindo o padrão ECSS/CCSDS. As principais características dessa arquitetura, representada na Fig. 3, são permitir a alteração da configuração de hardware do FPGA através de envio remoto do seu *bitstream* e o monitoramento dos níveis de radiação incidindo na placa. Um microcontrolador é responsável por atualizar o *bitstream* armazenado na memória flash não volátil, bem como gerenciar o processo de reconfiguração do FPGA e corrigir eventuais inversões de bits nessa memória (inversões de bits são prováveis de ocorrer em decorrência da radiação). A integridade desses dados é dada por um sistema de verificação cíclica de redundância (CRC) e a correção de erros é possível graças a implementação de um sistema de redundância modular tripla (*triple modular redundancy* ou TMR).

Para monitorar os níveis de radiação que incidem na placa são adotadas memórias do tipo SRAM, sendo que nessa técnica demonstrada por [28], o número de partículas radioativas que atingem a memória pode ser expresso por uma constante multiplicada pelo número de inversão de bits detectados. Os cinco sensores de temperatura são necessários para compensações relacionadas a influência da temperatura na taxa de inversão de bits. Além disso, para relacionar a quantidade de radiação com a posição do satélite, um registrador de tempo total transcorrido (TET-R) foi incluído.

Esta placa, denominada "Payload-X", faz parte da carga útil (*payload*) do nanosatélite FloripaSat-I, desenvolvido por pesquisadores da Universidade Federal de Santa Catarina (UFSC).

#### A. Escolha dos Componentes

Além de considerar os requisitos da aplicação, a seleção dos CIs usados neste projeto foi determinada por dois principais fatores: seu comportamento em ambiente radioativo e sua temperatura de funcionamento. De forma geral, CIs classificados para uso industrial foram selecionados pois suportam trabalhar em uma ampla faixa de temperatura, tipicamente de  $-40\text{ }^{\circ}\text{C}$  a  $+100\text{ }^{\circ}\text{C}$ . Já a tolerância à radiação apresentada pelo microcontrolador MSP430FR6989IPZ, da Texas Instruments, foi decisiva na sua escolha, já que é um dos componentes críticos da arquitetura. Este possui memória ferromagnética (FRAM) para armazenar programas e dados, um tipo de memória que é praticamente imune a inversão de bits [29] por radiação.

A memória FLASH S25FL127SABMFI101, da Cypress Semiconductor, com 128 Mbit de capacidade de armazenamento, é usada para armazenar os dados mais críticos da missão: os *bitstreams* do FPGA. Portanto, sua escolha foi determinada tanto por ser suportada pelo FPGA como por possuir um sistema de correção de erros nativo, o que contribui, juntamente com os algoritmos TMR e CRC, para imunidade à radiação ionizante. Ademais, a tecnologia FLASH é mais tolerante à radiação do que outras tecnologias de memória, como a SRAM. Dessa forma, juntamente com o FPGA NX1H35 resistente à radiação, se estabelece uma plataforma reconfigurável tolerante à radiação.

#### B. Projeto Elétrico

Como o FloripaSat-I fornece apenas 5 V para as cargas úteis, e os CIs da arquitetura requerem 1,2 V, 2,5V e 3,3V, foi necessário implementar um sistema de conversão de tensão na placa. Em aplicações espaciais, principalmente CubeSats, há uma limitada capacidade de captar e fornecer energia para as cargas úteis. Portanto o regulador chaveado TPS54227DDAR, da Texas Instruments, foi escolhido dado suas menores perdas em conversão, quando comparando com um regulador linear. Em geral, um regulador chaveado pode representar um ganho em eficiência energética de até 20%, comparado com um linear.

É esperado que as memórias SRAMs sejam atingidas por vários eventos de radiação ionizante, principalmente porque ocupam significativas áreas na placa. No entanto, estas são muito propensas a *latchups* [30], caracterizados pela criação de um caminho de baixa resistência, entre a fonte de alimentação e o terra de um circuito, durante um evento de radiação ionizante ou pulso elétrico que permanece em baixa resistência após o pulso. Consoante [30], esse curto-circuito é geralmente resolvido desligando-se a alimentação por pelo menos 0,5 segundo. Para evitar os sérios problemas relacionados a um curto-circuito, implementa-se um circuito que monitora e realiza o *reset* temporizado do sistema. Em geral é altamente recomendado implementar um circuito desse tipo em sistemas embarcados de aplicação espacial.

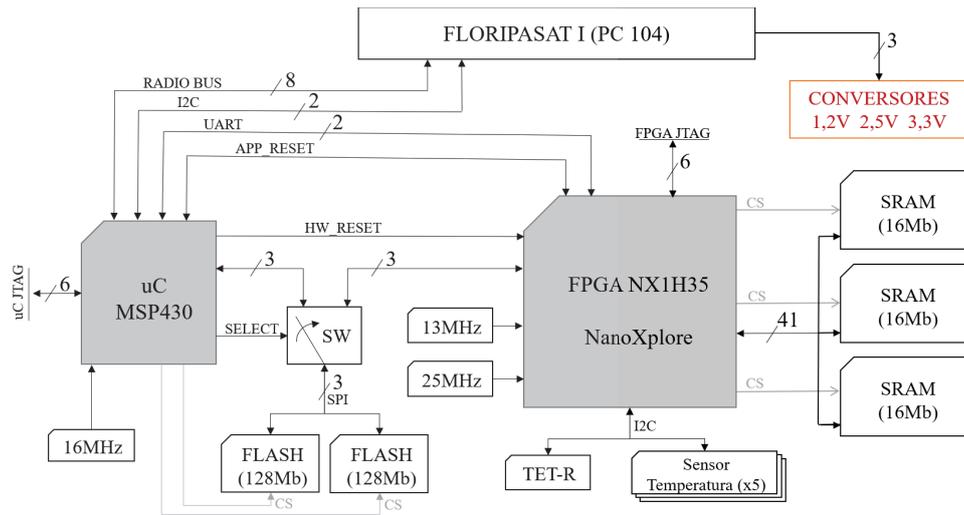


Fig. 3. Arquitetura implementada na PCI.

### C. Projeto da PCI

A topologia das camadas não precisou de cálculos já que a placa não possui sinais de alta velocidade nem controle de impedância, estando ilustrada na Fig. 4. Percebe-se que as camadas de sinal ficam entre planos de alimentação, o que é essencial para integridade de sinais e segue a regra 11 da Tabela I. Esse material extra entre o exterior e as camadas de sinal também dificulta penetração de radiação e eventuais depósitos de carga nas trilhas de sinais, que poderia causar transientes indesejados. Apesar das 4 camadas internas serem usadas para sinal, são inseridos planos de cobre alimentados nos espaços não utilizados. Isto é feito seguindo a regra 4 e 19 da Tabela I.

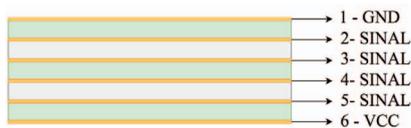


Fig. 4. Topologia das camadas.

As dimensões e geometria da placa seguem o padrão FloripaSat-I, mostrado na Fig. 5. O posicionamento dos componentes seguiu ponderação envolvendo: compatibilidade com o FloripaSat-I; facilidade no roteamento e montagem; distribuição de peso; e similaridades elétricas.

Dos *footprints* presentes na placa, o do FPGA é o mais denso e complexo, sendo caracterizado por uma grade de *pads* circulares de 25x25 espaçados em 1 mm e seu *fanout* foi feito no formato *dogbone* (pad-trilha-via) com orientação convergindo para o centro. Apesar de não seguir a regra 14, o *dogbone* previne o vazamento de solda do *pad* para a via, garantindo uma solda forte, sendo a técnica recomendada pelo fabricante do chip. Além disso, a orientação para o centro impede o movimento do componente durante o processo de solda. Por fim, na camada inferior da placa e adjacente aos pinos de alimentação do FPGA, foram posicionados os capacitores de desacoplamento, sempre o mais próximo possível das vias.

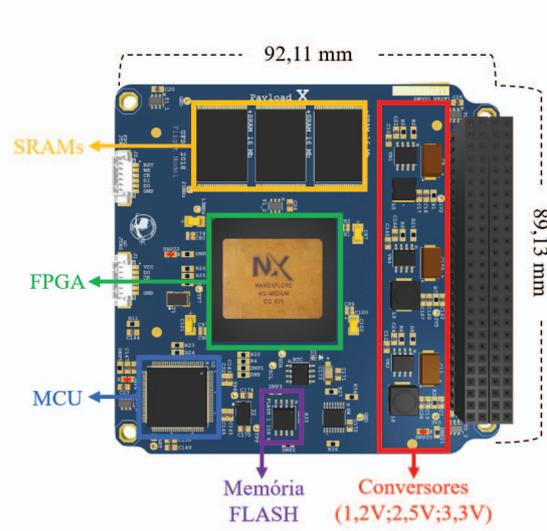


Fig. 5. Renderização 3D do Payload X.

O roteamento das trilhas na placa foi feito seguindo as regras 5, 10, 11, 15 e 26, sempre aumentando ao máximo o espaçamento entre trilhas paralelas e minimizando seus comprimentos. A regra 37 não foi implementada em pads de alimentação dos CIs para permitir um melhor fluxo de corrente, especialmente no sistema de potência, onde foram projetadas trilhas mais espessas na saída dos conversores juntamente com ilhas de cobre e diversas vias para passagem de corrente às outras camadas da placa. Para roteamento das SRAMs, que totalizaram mais de 120 trilhas, o formato tipo T foi seguido usando duas camadas e vias para interconexão. Além disso foi respeitada a regra 3W para minimizar risco de *crosstalk*. Após *layout* de todas trilhas e com informações exatas sobre seus comprimentos e quais CIs conectam, foi possível fazer uma pré-análise de integridade de sinal usando a equação (1). Não foi encontrada nenhuma trilha maior que o comprimento crítico, e, portanto, controle de impedância se

TABELA I  
REGRAS DA ESA PARA PCIS DE APLICAÇÃO ESPACIAL

N.	REGRA
1	A distribuição de camadas e suas espessuras devem se dar simetricamente. Isto é feito para evitar que a placa deforme ou distorça, principalmente quando sob intensa vibração.
2	A espessura de cobre em ambos lados de um laminado deve ser a mesma, exceto em camadas externas da placa.
3	As camadas externas e internas devem usar espessura básica de cobre de 70 $\mu\text{m}$ , 35 $\mu\text{m}$ ou 17 $\mu\text{m}$ . Isto é necessário para o processo de fabricação.
4	A distribuição de cobre dentro de uma camada deve ser homogênea. Isto garante pressão homogênea durante a laminação, evitando espaços vazios, rachaduras ou compressão do vidro. Principalmente necessário quando usando espessura 70 $\mu\text{m}$ .
5	Trilhas não devem ser roteadas em camadas de plano de cobre. Isto é feito para evitar obstáculos para as correntes de retorno de alta frequência (AF).
6	A distância de isolamento projetada entre duas camadas deve ser de no mínimo 100 $\mu\text{m}$ . Isto evita risco de isolamento elétrica reduzida.
7	A espessura, fabricada, de um PCB epóxi rígido deve ser $\leq 2,4\text{mm}$ .
8	O número de camadas de cobre para um PCB epóxi deve ser $\leq 20$ .
9	A relação entre a espessura da PCI e o diâmetro do furo de via em uma PCI rígida deve ser $\leq 7$ .
10	Para espessura de cobre 17 $\mu\text{m}$ , nenhuma largura de trilha ou espaçamento entre trilhas e/ou componentes deve ser menor que 96 $\mu\text{m}$ , já considerando tolerâncias de fabricação.
11	Trilhas não devem ser roteadas em camadas externas, dada vulnerabilidade a rompimento.
12	<i>Pads</i> de um componente BGA devem ser circulares e com <i>teardrop</i> .
13	Distanciamento mínimo entre <i>pads</i> BGA deve ser 1 mm.
14	<i>Pads</i> de um componente BGA devem ser projetados com via no <i>pad</i> , seja ela microvia ou via preenchida.
15	As trilhas em <i>footprint</i> BGA devem estar equidistantes entre os <i>pads</i> . Isso aumenta a distância de isolamento.
16	<i>Pads</i> devem ser projetados com reforço <i>teardrop</i> .
17	<i>Pads</i> não funcionais devem ser mantidos no <i>footprint</i> .
18	Anel anelar deve ter pelo menos 50 $\mu\text{m}$ de largura em camadas internas e 200 $\mu\text{m}$ em externas.
19	Planos de cobre maiores de 10 $\text{cm}^2$ devem ser feitos em formato de grade, com rotação de 45°. Isso cria aberturas de ventilação e evaporação de umidade das camadas internas.
20	A espessura, fabricada, de um PCB HF epóxi rígido deve ser $\leq 3$ mm.
21	O número de camadas de cobre para um PCB epóxi HF deve ser $\leq 14$ .
22	Rigidez dielétrica do material deve ser maior que 1000 $V_{rms}/\text{mm}$ .
23	Para distribuição de potência, uma espessura de cobre de 35 $\mu\text{m}$ ou mais deve ser usada.
24	Nenhum condutor ou ilha de cobre deve ser deixado isolado.
25	A temperatura das trilhas deve ser menor que 85°C.
26	Trilhas críticas devem ser todas roteadas em uma única camada.
27	Condutores em camadas externas devem ser cobertos com filme polimérico e não máscara de solda.
28	Trilhas com controle de impedância devem ser feitas em camadas específicas.
29	Vias não devem ser usadas em trilhas de impedância controlada, exceto para a conexão com os <i>pads</i> de componentes.
30	Os circuitos digitais de baixa velocidade devem ser separados dos circuitos digitais de alta velocidade.
31	Planos de aterramento devem ser usados em aplicações digitais de alta velocidade.
32	Sinais de alta velocidade devem ser roteados acima de planos de alimentação ininterruptos.
33	A localização dos componentes deve ser tal que cada conexão de solda possa ser visualmente inspecionada.
34	Os pontos de teste projetados devem ser separados dos <i>pad</i> dos componentes.
35	O <i>fanout</i> dos <i>footprints</i> deve ser simétrico. Isto é feito para evitar que o componente se movimente em uma direção específica durante o processo de solda.
36	Deve haver uma distância mínima de 0,25 mm entre os <i>pads</i> e a vias. Isto é feito para evitar que a solda seja retirada do <i>pad</i> pela via, no processo de soldagem.
37	A largura de uma trilha deve ser menor que 1/3 da largura de um <i>pad</i> . Isto é feito para evitar que a trilha retire calor do <i>pad</i> durante o processo de solda.
38	Máscara de solda não deve ser usada pois apresenta problemas relacionados a <i>outgassing</i> .

prova desnecessário.

Desse modo, o projeto da PCI do Payload-X foi concluído seguindo praticamente todas recomendações ECSS-Q-ST-70-12C aplicáveis e foi realizada a fabricação de duas PCIs no nível de qualidade IPC 6012 3/A em solda de liga metálica Sn62Pb36Ag2 (36% de chumbo). Uma das placas foi fabricada com máscara de solda, para testes em bancada, e outra sem, para o modelo de voo (seguindo a regra 38).

#### IV. RESULTADOS PRELIMINARES

Nesta seção são apresentados resultados provenientes de simulações de integridade de sinal e testes de bancada com o protótipo fabricado.

##### A. Simulações de Integridade de Sinal

A partir do layout da placa e informações elétricas dos principais CIs, foram feitas análises de integridade de sinal

através de simulações. A primeira destas foi realizada para analisar a queda de tensão CC (corrente contínua) no plano de alimentação 0 V, considerado o plano mais crítico uma vez que recebe as correntes de retorno de todos os componentes da placa. O resultado da simulação, exibido na Fig. 6, apresenta um desvio máximo de aproximadamente 0,822 mV do nível 0 V. Considerando que a variação máxima de tensão permitida no circuito integrado mais sensível é de 120 mV, este resultado demonstra um plano de terra adequado.

A análise também foi realizada em trilhas críticas, sendo que o pior caso é a mais longa e com a menor borda de transição. Sendo assim, os sinais na trilha SRAM-A16 foram simulados e o resultado é exibido na Fig. 7. Este resultado demonstra que os sinais estão íntegros, com *overshoot* e *undershoot* de baixa intensidade e não comprometem a interpretação dos níveis lógicos, mesmo na trilha de pior caso.

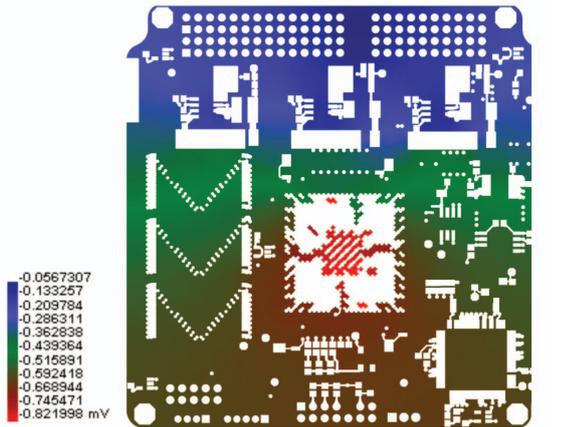


Fig. 6. Queda de tensão ao longo do plano 0 V.

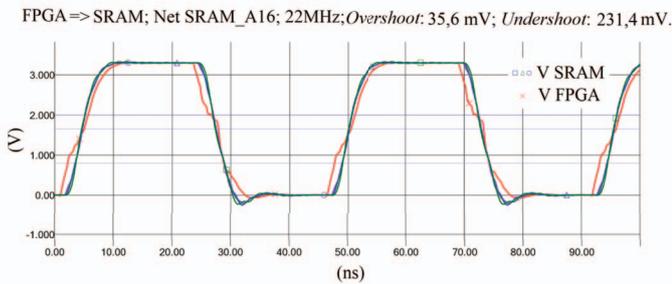


Fig. 7. Sinais na trilha mais longa.

Além da verificação de integridade do sinal, a compatibilidade eletromagnética do Payload-X foi examinada simulando os níveis de emissão eletromagnética a 3 metros de distância da placa. O resultado consistiu em picos de emissão abaixo de  $0 \text{ dBuV/m}$  em todas as frequências, o que está muito abaixo dos limites máximos estabelecidos por órgãos reguladores como a Comissão Federal de Comunicações dos Estados Unidos da América (FCC).

### B. Testes de Bancada

Com as placas fabricadas, todos os sistemas e subsistemas do Payload-X foram extensivamente testados em bancada bem como o desenvolvimento do *firmware* foi finalizado. O resultado desses testes para o modelo com máscara de solda, foto na Fig. 8, foi dentro do esperado com todos os sistemas funcionando corretamente.

No entanto, o modelo de voo, sem máscara de solda, apresentou curto circuito entre todas as fontes de alimentação e o terra, já nos testes iniciais. Pôde-se observar, por inspeção visual, que a liga de solda se espalhou ao longo dos planos de cobre, saindo dos *pads* conectados a estes (em decorrência da ausência da máscara de solda), ocasionando diversos pontos de curto na PCI. Apesar de grande esforço para encontrar esses pontos, a placa se demonstrou irreparável.

### V. LIÇÕES APRENDIDAS

Dada a falha crítica apresentada pelos testes no modelo de voo foi possível chegar a algumas hipóteses das causas. O

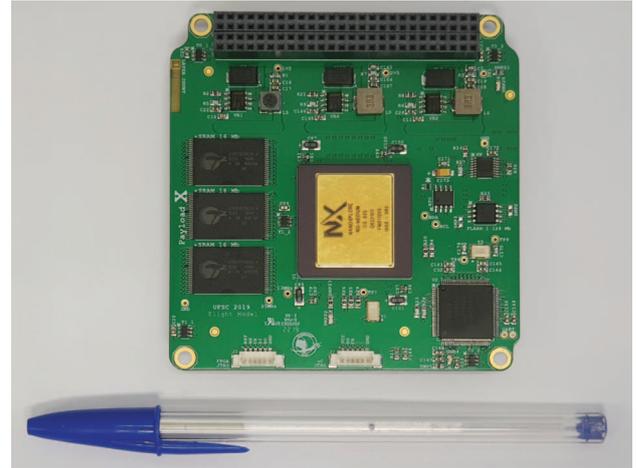


Fig. 8. Payload-X, modelo de voo.

espalhamento da solda ao longo dos planos demonstra que deveria ter sido mantido um espaço entre todos os *pads* e os planos de cobre, conectando-os apenas por uma trilha quando necessário. Deveria ter sido dada especial atenção para o *layout* de todos os elementos que receberiam solda visando impedir seu espalhamento.

Além disso, mais criticamente, o *fanout* do FPGA teria que ter sido feito seguindo a regra 14 e não o estilo *dogbone*. O estilo *dogbone* funciona muito bem com o uso de máscara de solda, porém na sua ausência, como há uma duplicação na densidade de pontos de cobre debaixo do CI, pode haver um aglutinamento das gotas de solda ocasionando curtos. Visando prevenir esse problema, não deveria haver inserção dos planos de alimentação embaixo do FPGA nas camadas exteriores, visando aumentar os espaçamentos de isolamento entre os *pads*.

### VI. CONCLUSÃO

Neste trabalho foram apresentados os principais aspectos envolvidos em projetos de placas de circuito impresso para sistemas embarcados de aplicação espacial, incluindo uma visão geral das regras da Agência Espacial Europeia, através da normativa ECSS-Q-ST-70-12C, e os cuidados extras que devem ser tomados no *layout*, fabricação e solda. Também foi discorrido sobre projeto de placas com sinais de alta velocidade e que requerem técnicas para garantia de integridade de sinal, como controle de impedância e resistências de terminação.

Como estudo de caso foi relatado o desenvolvimento do Payload-X, uma plataforma de hardware reconfigurável e tolerante a radiação para pequenos satélites. Foram apresentadas as principais etapas de projeto da placa, mostrando onde as regras da ESA foram aplicadas, bem como os resultados de simulação de integridade de sinal e testes de bancada. Analisando estes resultados, pode-se concluir que uma placa robusta à interferência eletromagnética e que atende aos requisitos de integridade de sinal foi obtida.

Em decorrência da falha crítica do modelo de voo, a PCI com máscara de solda será lançada em seu lugar sendo que funcionou exatamente como o projetado. Enquanto os

resultados simulados e de bancada demonstraram um bom projeto para essa versão da placa, os resultados em órbita serão considerados como um próximo passo no processo de validação. Esse processo será realizado ao longo da missão FloripaSat-1 da Universidade Federal de Santa Catarina, na forma de uma carga útil.

## REFERÊNCIAS

- [1] M. D. P. Emilio, *Embedded systems design for high-speed data acquisition and control*. Springer, 2015.
- [2] E. Quintana, "The new space age: Questions for defence and security," *RUSI Journal*, vol. 162, no. 3, pp. 88–109, 2017. [Online]. Available: <http://doi.org/10.1080/03071847.2017.1352377>
- [3] M. Takbiri, N. Masoumi, M. Mehri, and Z. D. Koozehkanani, "Crosstalk reduction using open-loop resonators for printed circuit boards traces," in *2013 13th Mediterranean Microwave Symposium (MMS)*. IEEE, 2013, pp. 1–4.
- [4] R. G. Dreslinski, M. Wiecekowski, D. Blaauw, D. Sylvester, and T. Mudge, "Near-threshold computing: Reclaiming moore's law through energy efficient integrated circuits," *Proceedings of the IEEE*, vol. 98, no. 2, pp. 253–266, 2010.
- [5] M. I. Montrose, *Printed circuit board design techniques for EMC compliance: A handbook for designers, second edition*, 2nd ed. New York: IEEE Press, 2000.
- [6] R. Goyal, "Managing signal integrity [pcb design]," *IEEE spectrum*, vol. 31, no. 3, pp. 54–58, 1994.
- [7] L. W. Ritchey and J. Zasio, *Right the First Time*, 1st ed. United States: Speeding Edge, 2003.
- [8] M. I. Montrose, *EMC and the printed circuit board : design, theory, and layout made simple*, 2nd ed. New York: John Wiley & Sons, 1999.
- [9] D. Brooks, *Signal integrity issues and printed circuit board design*, 1st ed., M. Vincenti, Ed. Upper Saddle River: Prentice Hall PTR, 2003.
- [10] X.-C. Wei, *Modeling and Design of Electromagnetic Compatibility for High-Speed Printed Circuit Boards and Packaging*. CRC Press, 2017.
- [11] R. Khandpur, *Printed Circuit Boards Design, Fabrication and Assembly*, 1st ed. United States: McGraw-Hill, 2006.
- [12] J. A. DeFalco, "Reflection and crosstalk in logic circuit interconnections," *IEEE spectrum*, vol. 7, no. 7, pp. 44–50, 1970.
- [13] F. De Paulis, M. Cracraft, C. Olivieri, S. Connor, A. Orlandi, and B. Archambeault, "Ebg-based common-mode stripline filters: Experimental investigation on interlayer crosstalk," *IEEE Transactions on Electromagnetic Compatibility*, vol. 57, no. 6, pp. 1416–1424, 2015.
- [14] F. D. Mbairi, W. P. Siebert, and H. Hesselbom, "High-frequency transmission lines crosstalk reduction using spacing rules," *IEEE transactions on components and packaging technologies*, vol. 31, no. 3, pp. 601–610, 2008.
- [15] H. W. Johnson and M. Graham, *High-speed digital design : a handbook of black magic*, 1st ed. New Jersey: Prentice Hall, 1993.
- [16] Y. Guang and L. Yinghua, "Crosstalk analysis of high speed digital microstrip traces over a slotted ground plane using the non-uniform fddt method," pp. 118–121, 2007.
- [17] J. Kim and K. Oh, "Effect of multi-layers of image planes on pcb radiation," in *Proceedings of Symposium on Electromagnetic Compatibility*. IEEE, 1996, pp. 322–325.
- [18] R. W. Dockey and R. F. German, "New techniques for reducing printed circuit board common-mode radiation," in *1993 International Symposium on Electromagnetic Compatibility*. IEEE, 1993, pp. 334–339.
- [19] S. Robertson, L. Harzstark, J. Siplon, D. Peters, P. Hesse, M. Engler, R. Ferro, W. Martin, G. Cuevas, M. Cohen *et al.*, *Technical Requirements for Electronic Parts, Materials, and Processes Used in Space and Launch Vehicles*. Aerospace Corporation, Systems Planning and Engineering Group., 2006.
- [20] ESA, "Space product assurance, Design rules for printed circuit boards," Noordwijk, Netherlands, p. 173, 2014.
- [21] M. A. Ashworth and B. Dunn, "An investigation of tin whisker growth over a 32-year period," *Circuit World*, vol. 42, no. 4, pp. 183–196, 2016.
- [22] M. Bozack, S. Snipes, and G. Flowers, "Methods for fast, reliable growth of sn whiskers," *Surface Science*, vol. 652, pp. 355–366, 2016.
- [23] L. Panashchenko and M. Osterman, "Examination of nickel underlayer as a tin whisker mitigator," in *2009 59th Electronic Components and Technology Conference*. IEEE, 2009, pp. 1037–1043.
- [24] G. Bogdan, "Tin Whiskers that Dislodged from RF Enclosure," 2003. [Online]. Available: [http://nepp.nasa.gov/whisker/anecdote/2003rf\[ \]enclosure/](http://nepp.nasa.gov/whisker/anecdote/2003rf[ ]enclosure/)
- [25] A. Garzón and Y. A. Villanueva, "Thermal analysis of satellite libertad 2: a guide to cubesat temperature prediction," *Journal of Aerospace Technology and Management*, vol. 10, 2018.
- [26] R. Velazco, P. Fouillat, and R. Reis, *Radiation effects on embedded systems*. Dordrecht: Springer Netherlands: Springer, 2007.
- [27] D. Sinclair and J. Dyer, "Radiation Effects and COTS Parts in Small-Sats," in *27th Annual AIAA/USU Conference on Small Satellites*, 2013.
- [28] G. Tsiligiannis, L. Dilillo, A. Bosio, P. Girard, S. Pravossoudovitch, A. Todri, A. Virazel, J. Mekki, M. Brugger, F. Wrobel, and F. Saigne, "Evaluating a radiation monitor for mixed-field environments based on SRAM technology," *Journal of Instrumentation*, vol. 9, no. 5, pp. 1663–1670, 2014.
- [29] V. Gupta, A. Bossler, G. Tsiligiannis, A. Zadeh, A. Javanainen, A. Virtanen, H. Puchner, F. Saigne, F. Wrobel, and L. Dilillo, "Heavy-ion radiation impact on a 4 mb fram under different test modes and conditions," *IEEE Transactions on Nuclear Science*, vol. 63, no. 4, pp. 2010–2015, 2016.
- [30] P. E. Dodd, M. R. Shaneyfelt, J. R. Schwank, and G. L. Hash, "Neutron-induced latchup in srams at ground level," in *2003 IEEE International Reliability Physics Symposium Proceedings, 2003. 41st Annual*. IEEE, 2003, pp. 51–55.



**Cezar Antonio Rigo** received the Master's degree in electrical engineering from the Federal University of Santa Catarina in 2019. He is currently a PhD candidate in Electrical Engineering at the Federal University of Santa Catarina.



**Laio Oriel Seman** received the PhD degree in electrical engineering from the Federal University of Santa Catarina in 2017. His research interests include multivariate data analysis, reconfigurable systems and mathematical programming.



**Marcelo Daniel Berejuck** has 22 years of experience working as a Research and Development in telecommunications industries (Dígito, Intelbras). Received his PhD in Automation and Systems Engineering by the Federal University of Santa Catarina (UFSC) in 2015. His research interests include embedded systems, Network-on-Chip (NoC) and System-on-Chip (SoC).



**Eduardo Augusto Bezerra** received the PhD degree in Computer Engineering from the Space Science Centre, University of Sussex, England. He is a University Professor at UFSC, Brazil, and a Visiting Researcher at LIRMM, France. His research interests include embedded systems for space applications, CCSDS, computer architecture, reconfigurable systems, reliability, and tests.