

# Ranking of Fault Mitigation Techniques for Spatial Radiation in Commercial Off-the-Shelf Field Programmable Gate Array

A. Barbosa, *Student Member, IEEE*, G. Loureiro, S. Manea, J. Lima, and G. Paulineli

**Abstract**—Nowadays, Field Programmable Gate Array are employed in several commercial applications in the space systems. This article presents a current survey about mitigation techniques for radiation effects in electronic devices that are specific for Commercial Off-the-Shelf. The techniques are classified and insert in multiples groups according to the adopted strategy. Also, they are ranked according with the bibliographic research, their publication year and how they are aligned with the principles of Theory of inventive problem solving. This theory drives the emergence of inventive principles, which are can lead to solutions to problems, with innovation. In this article it was not possible to address all aspects of this theory, limiting itself to the contradiction matrix. Synthetically, current literature research and problem-solving theory are used to analyze fault mitigation techniques. The ranking off the mitigation techniques can support the researchers, developers, organizations (public, private and academic) and governments during the process of chosen of the mitigation technique according their necessities off radiation tolerance.

**Index Terms**—COTS FPGA, Fault tolerance, Fault mitigation, Radiation effects.

## I. INTRODUÇÃO

O ESPAÇO é estratégico e oferece benefícios econômicos, tecnológicos e sociais. O setor espacial global é um ramo de tecnologia avançada que empregou pelo menos 900.000 pessoas em todo o mundo e representou cerca de US\$ 256,2 bilhões de receitas em 2013 [1]. Cerca de um terço das receitas do setor espacial global é derivado de organizações públicas e os outros dois terços são derivados por organizações privadas.

Adilson Luiz Barbosa é aluno de Doutorado no Instituto Nacional de Pesquisas Espaciais (INPE), Av. dos astronautas, 1758, Jardim da Granja, São José dos Campos, São Paulo, CEP 12227-010, Brasil (email: eng.adilsonlb@gmail.com).

Geilson Loureiro é tecnólogo do Instituto Nacional de Pesquisas Espaciais (INPE), Av. dos astronautas, 1758, Jardim da Granja, São José dos Campos, São Paulo, CEP 12227-010, Brasil (email: geilson@lit.inpe.br).

Silvio Manea é tecnólogo do Instituto Nacional de Pesquisas Espaciais (INPE), Av. dos astronautas, 1758, Jardim da Granja, São José dos Campos, São Paulo, CEP 12227-010, Brasil (email: silvio.manea@inpe.br).

José Marcelo Lima Duarte é pesquisador do Instituto Nacional de Pesquisas Espaciais (INPE), Rua Carlos Serrano, 2073, Lagoa Nova, Natal, CEP 59076-740, Rio Grande do Norte, Brasil (email: jose.duarte@inpe.br).

Giuliani Paulineli Garbi é tecnólogo do Instituto Nacional de Pesquisas Espaciais (INPE), Rua Carlos Serrano, 2073, Lagoa Nova, Natal, CEP 59076-740, Rio Grande do Norte, Brasil (email: giuliani.garbi@gmail.com).

No entanto muitas tecnologias espaciais são de dupla utilização (civil e militar), o que tende a restringir o comércio de componentes, dispositivos e materiais utilizados nos sistemas espaciais [1].

Em relação aos dispositivos eletrônicos, os sistemas espaciais exigem componentes com qualificação espacial, “robustecidos” contra radiação. Algumas aplicações também requerem dispositivos com alta taxa de processamento como CPUs (*Central Process Unit*) com vários núcleos, ASICs (*Application Specific Integrated Circuits*) e FPGAs (*Field Programmable Gate Array*). Os CIs (Circuitos Integrados) customizados ou ASICs são aqueles que necessitam de um processo de fabricação especial e que utilizam máscaras específicas para cada projeto. Todavia apresentam desvantagens como os custos de projeto extremamente altos e o tempo de desenvolvimento longo. Outra categoria de circuitos digitais são os PLDs (*Programmable Logic Device*), que são semicustomizados, pois possuem como principal característica a capacidade de programação após a fabricação pelo usuário (configuração). Os FPGAs são o único tipo de PLDs que suportam capacidade lógica elevada e incluem um arranjo de elementos de circuitos não conectados (blocos lógicos) e recursos de interconexão.

A configuração do FPGA é realizada através de programação pelo especialista. A computação reconfigurável combina a velocidade do *hardware* com a flexibilidade do *software*, considerando que a arquitetura pode ser modificada *on the fly*, para melhor se adequar à aplicação. Desta forma, os FPGAs se distanciaram dos CIs customizados devido ao recurso de reconfigurabilidade. Este representa a possibilidade de alterar parcialmente a funcionalidade do dispositivo, sem prejudicar a lógica de operação [2].

Devido a fatores relacionados à redução de custos dos projetos de sistemas espaciais e ao embargo comercial de componentes e materiais “robustecidos”, os dispositivos eletrônicos COTS (*Commercial Off-The-Shelf*) tornaram-se relevantes para atender às demandas por produtos espaciais. Neste contexto, o FPGA COTS destaca-se como uma alternativa para computação de desempenho avançado, pois apresentam capacidade elevada de paralelização do processamento aritmético, *transceivers* com alta taxa de transferência, unidades de memória interna que permitem implementações flexíveis de *buffers*, baixo consumo de energia, se comparados com CPUs convencionais, fluxo de desenvolvimento mais simples que o ASIC, e baixo custo [3]. Por exemplo, um FPGA não “robustecido” para um projeto de nanossatélite custa cerca de US\$ 150, e o mesmo FPGA “robustecido” custa cerca de US\$ 3000 [4].

## II. ABORDAGEM DO PROBLEMA: AMBIENTE ESPACIAL

O ambiente hostil do espaço submete o sistema e seus dispositivos eletrônicos a mudanças bruscas de temperatura, pressão, forças cinéticas e outras situações imprevisíveis. Um dos maiores problemas em qualquer missão espacial é a dose de radiação. Esta dose proporciona efeitos nocivos, os quais podem penetrar em um sistema espacial e causar danos em componentes eletrônicos, células solares e materiais [5]. Para o caso dos sistemas e materiais eletroeletrônicos, geralmente são considerados como efeitos da radiação espacial a Dose Total Dose de Ionização (TID- *Total Ionizing Dose*), Danos de Deslocamento (DD - *Displacement Damage*) e Efeitos de Evento único (SEE - *Single Event Effects*), podendo causar danos temporários ou permanentes, dependendo da classificação. Assim, os dispositivos considerados como não “robustecidos” são suscetíveis a falhas e necessitam de técnicas de mitigação para torná-los tolerantes a estes efeitos [6] e [7].

No contexto científico da América Latina, alguns assuntos relativos a FPGAs foram temas de diversos artigos como: configurações técnicas, falhas a que estão sujeitos devido a vários fatores e técnicas de mitigação ou tolerância [8] a [15]. Contudo, em uma amostragem de 272 trabalhos científicos de diversos países e regiões, não foi constatado nenhum que apresentasse as principais técnicas agrupadas, ranqueamento e estudo de potencial de inovação sobre as mesmas. Também deve-se considerar que não foram identificados estudos de dados estatísticos atuais sobre as técnicas abordadas, que auxiliem nesta complexa decisão de *design* envolvendo fatores técnicos e de gerenciamento. Este artigo tem como objetivo ranquear as técnicas de mitigação das falhas causadas pela radiação espacial, utilizadas em FPGAs não “robustecidos” sob a perspectiva do potencial de desenvolvimento e inovação. O resultado deste ranqueamento poderá colaborar com a tomada de decisão da escolha entre as técnicas a serem utilizadas por pesquisadores, desenvolvedores, organizações, instituições educacionais e governos durante o processo de engenharia dos sistemas espaciais que utilizam FPGAs COTS.

## III. METODOLOGIA DE PESQUISA

Para subsidiar as análises das técnicas de mitigação das falhas, este artigo teve como base uma rigorosa pesquisa bibliográfica seguida de uma validação empírica realizada com o método de ideação da TRIZ (Teoria da Resolução Inventiva de problemas). Os trabalhos científicos pesquisados foram publicados em periódicos acadêmicos, associações de profissionais e bibliotecas digitais especializadas em ciências, tecnologia espacial, eletrônica e telecomunicações, considerando o período de 2015 a 2018. As pesquisas sobre estes trabalhos foram realizadas no *Google* acadêmico, incluindo artigos, monografias, dissertações e teses. Foram avaliados 272 trabalhos e selecionados 47 por apresentarem estudos mais detalhados sobre as técnicas de mitigação das falhas [16] a [62].

## IV. TÉCNICAS DE MITIGAÇÃO

As principais soluções disponíveis na pesquisa bibliográfica sobre as técnicas de mitigação das falhas relativas à radiação

espacial, utilizadas em FPGAs COTS, podem ser resumidas conforme a Tabela I (2015 a 2018).

TABELA I  
TÉCNICAS DE MITIGAÇÃO

Técnicas de mitigação	Descrição
P1 - Circuito de proteção (CKPR) [63]	<ul style="list-style-type: none"> <li>Referência de um circuito <i>watchdog</i> (dispositivo eletrônico temporizador).</li> <li>O circuito atua disparando um <i>reset</i> (condição de erro).</li> </ul>
P2 - <i>Careful</i> COTS (CACT) [64]	<ul style="list-style-type: none"> <li>Peça comercial ou industrial que não foi fabricada como “robustecida” à radiação espacial, mas que foi selecionada por ser tolerante a uma dose testada (considera a blindagem do dispositivo).</li> <li>Atende principalmente à necessidade de missões de pequenos satélites.</li> </ul>
P3 - Redundância Modular Tripla (TMR – <i>Triple Modular Redundancy</i> ) [65]	<ul style="list-style-type: none"> <li>TMR é uma das técnicas mais utilizadas em tolerância a falhas.</li> <li>A estratégia envolve triplicar a lógica do dispositivo e utilizar circuitos eleitorais ou votadores para definir a resposta e para autocorreção do sistema.</li> </ul>
P4 - Redundância de FPGA (REFP) [66]	<ul style="list-style-type: none"> <li>Processador pode ser usado para uma fila de dispositivos FPGAs redundantes.</li> <li>É um dos métodos mais robustos para múltiplos <i>upsets</i>.</li> </ul>
P5- Códigos de Detecção e Correção de Erros (EDAC – <i>Error Detection and Correction</i> ) [67]	<ul style="list-style-type: none"> <li>Utilizados quando há atuação de erros transitórios e falhas permanentes em circuitos de memória.</li> <li>Implementados com a extensão do <i>hardware</i> ou soluções por <i>software</i>, dependendo das características do projeto e custos.</li> </ul>
P6 - Reconfiguração (RECO) [65]	<ul style="list-style-type: none"> <li>Reprogramação em um curto espaço de tempo e com menor complexidade.</li> <li>Atualização de <i>software</i> ou <i>firmware</i> dentro de um dispositivo de memória.</li> </ul>
P7 – Duplicação (DUP) [68]	<ul style="list-style-type: none"> <li>Geralmente pode utilizar a redundância de <i>hardware</i> e tempo.</li> <li>Aplicação específica pode incluir substituição de componentes com falhas permanentes e detecção de erros.</li> </ul>

## V. TRIZ (TEORIA DA RESOLUÇÃO INVENTIVA DE PROBLEMAS)

O método heurístico da TRIZ foi utilizado para validar os resultados da pesquisa bibliográfica, conforme [69] a [72]. A TRIZ foi desenvolvida por Genrich Saulovich Altshuller e Rafael Shapiro na década de 1940 e teve a sua origem no estudo das patentes, com base no fato de que todo problema possui conflitos técnicos ou físicos (contradição). Assim, a TRIZ estimula o aparecimento dos princípios inventivos. Estes princípios são palavras padronizadas que conduzem a ideias de possíveis soluções para o problema, as quais respeitam o balanceamento dos diferentes parâmetros em conflitos. Esta teoria teve suas origens na área técnica e passou a ser utilizada atualmente em diversas outras áreas, mas com ênfase na solução de problemas de engenharia [69] a [72]. Como

subdivisão da TRIZ foi utilizado o método da matriz de contradição, que se baseia em princípios inventivos.

Os princípios inventivos da TRIZ podem ser obtidos resumidamente em seis passos, a seguir.

- 1) O primeiro passo deve analisar o sistema técnico que se resume na operação de FPGAs COTS embarcados em sistemas espaciais expostos à radiação ionizante; e definir o problema técnico que é a correta operação destes FPGAs considerando-se os efeitos desta radiação.
- 2) No segundo passo, deve-se selecionar os parâmetros de engenharia do sistema técnico a melhorar e aqueles a preservar (definidos pelo aplicador da TRIZ). Por exemplo, fatores prejudiciais atuando no objeto (efeitos da radiação no FPGA), perda da informação e confiabilidade.
- 3) O terceiro passo é verificar se há conflitos entre os parâmetros de engenharia, ou seja, se um parâmetro a melhorar não causa um resultado indesejado em outro. Exemplo de conflito: com a presença dos efeitos da radiação a perda de informação aumenta e a confiabilidade do FPGA COTS diminui.
- 4) O quarto passo deve determinar os parâmetros de engenharia conflitantes, pois a busca das contradições para balancear os parâmetros de engenharia ajuda na solução. Neste passo considera-se que há parâmetros em conflito e destaca-se (par a par) todos os que forem identificados, por exemplo, perda de informação e confiabilidade.
- 5) No quinto passo, deve-se determinar os princípios inventivos aplicáveis na matriz de contradições (TRIZ). Por exemplo, se o aplicador utilizar perda de informação (a melhorar) e confiabilidade (a preservar), este obtém o princípio inventivo de ação prévia, que consiste em realizar uma ação de maneira total ou parcial antes de a mesma ser necessária (como nas técnicas empregadas para mitigação das falhas).
- 6) No sexto passo, são aplicados os princípios inventivos para resolver o problema ou descobrir o potencial de inovação da solução segundo o método.

## VI. SOLUÇÃO PROPOSTA: QUANTIFICAÇÃO DAS TÉCNICAS DE MITIGAÇÃO

As técnicas de mitigação são utilizadas para tornar o FPGA tolerante à radiação. O ranqueamento destas técnicas deverá auxiliar pesquisadores, desenvolvedores, instituições e governos em seus respectivos trabalhos. Para isto, foi realizada a quantização da pesquisa bibliográfica, validada pela TRIZ. A aplicação foi parcial, considerando os passos necessários para acessar a matriz de contradição, conforme item V (TRIZ). As técnicas de mitigação (Tabela I) pesquisadas no domínio do tempo (2015 a 2018), foram consideradas propostas de solução (P1 a P7).

O problema técnico foi analisado de uma forma geral para a identificação dos parâmetros de engenharia aplicáveis, conforme a Tabela II.

Para a implementação da TRIZ foi utilizado o *software* TRIZ40. Este *software* realiza a análise par a par dos parâmetros considerados, os quais são separados em: parâmetro ou recurso para melhorar e para preservar [72]. No exemplo da Tabela II são formados 18 pares de parâmetros em conflito (9 parâmetros a melhorar x 2 parâmetros a preservar). Após a inserção de todos os parâmetros de engenharia, o resultado

conduzirá aos princípios inventivos conforme o número de citações da matriz de contradições, implementada pelo *software*. A Fig. 1 (adaptada do *software* TRIZ40) demonstra os locais de inserção dos parâmetros e obtenção dos princípios inventivos (Tabela III).

TABELA II  
PARÂMETROS DE ENGENHARIA APLICÁVEIS (TRIZ)

Parâmetros de engenharia	Justificativa	Tipo de parâmetro	
		A – Melhorar	B – Preservar
5 Área do objeto móvel	Área do FPGA tolerante à radiação.	x	
7 Volume do objeto móvel	Volume do FPGA tolerante à radiação.	x	
10 Força	Intensidade da radiação no FPGA (mitigação).	x	
12 Forma	Forma do circuito eletrônico do FPGA em relação aos efeitos da radiação.	x	
14 Resistência	Resistência à radiação apresentada pelo FPGA sem métodos adicionais.	x	
15 Duração da ação do objeto móvel	Duração da ação dos efeitos da radiação no FPGA (mitigação).	x	
24 Perda de informação	Perda de informação no FPGA provocada pelo SEE.		x
27 Confiabilidade	Confiabilidade do FPGA em relação aos efeitos da radiação.	x	
29 Precisão de fabricação	Precisão de fabricação do FPGA.	x	
30 Fatores prejudiciais atuando no objeto	Efeitos da radiação no FPGA.		x
34 Manutenibilidade	Manutenibilidade do funcionamento do FPGA, apesar dos efeitos da radiação.	x	

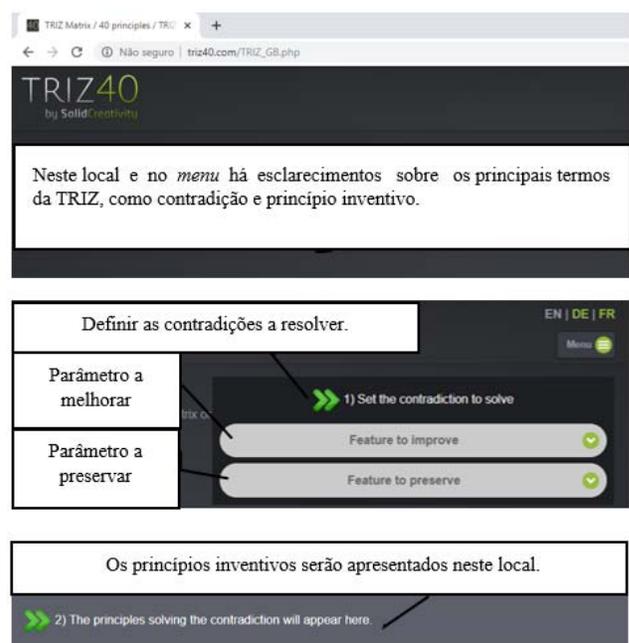


Fig. 1. Interface do *software* TRIZ40 (adaptada) [72].

TABELA III  
PRINCÍPIOS INVENTIVOS (TRIZ)

Princípios inventivos		Pontuação (geral)
35	Mudança de parâmetros e propriedades	6
22	Transformação de prejuízo em lucro	5
1	Segmentação ou fragmentação	4
2	Remoção ou extração	4
10	Ação prévia	4
28	Substituição de meios mecânicos	4
18	Vibração mecânica	2
26	Cópia	2
27	Uso e descarte	2
33	Homogeneização	2
40	Uso de materiais compostos	2
15	Dinamização	1
16	Ação parcial ou excessiva	1
21	Aceleração	1
30	Uso de filmes finos e membranas flexíveis	1
36	Mudança de fase	1
37	Expansão térmica	1

Estes princípios reforçaram em maior ou menor grau as sete técnicas pesquisadas na medida em que estas podem ser utilizadas na solução do problema (o método prevê justificativas do aplicador para cada caso). A demonstração de todas as justificativas que os autores utilizaram para relacionar os princípios inventivos com as soluções propostas tornaria o artigo muito extenso. Assim, a Tabela IV apresenta um exemplo com justificativas do princípio inventivo de ação prévia. Outros exemplos de justificativas aplicadas a diversos problemas técnicos poderão ser pesquisados na literatura [69] a [71].

TABELA IV  
JUSTIFICATIVAS PARA AÇÃO PRÉVIA (TRIZ)

Justificativas (ação prévia)	Proposta
Um circuito de proteção é um caso bastante típico de ação prévia, pois antes que os SEE atuem no FPGA, este circuito detecta quando um determinado limiar de corrente é ultrapassado, de modo a evitar a propagação de erros.	P1 (CKPR)
O processo de seleção de <i>careful</i> COTS também é uma ação prévia, uma vez que seleciona os dispositivos FPGAs que apresentem um comportamento de tolerância à radiação, verificando antecipadamente quais poderão apresentar níveis adequados em aplicações espaciais.	P2 (CACT)
A redundância é uma ação prévia na medida em que são adicionados dispositivos, circuitos ou FPGAs sobressalentes que apresentem comportamento adequado mesmo sob a influência de SEE. As informações destes circuitos podem ser utilizadas como informação principal ou os circuitos afetados podem descartados (inabilitados) dependendo da técnica utilizada.	P3 (TMR) P4 (REFP) P7 (DUPL)
Os códigos de detecção e correção não impedem que o SEE atue sobre os circuitos lógicos da FPGA, mas apresentam uma ação prévia no sentido de identificar os erros causados e proporcionar uma estratégia de correção, antes que as informações se tornem totalmente descartáveis.	P5 (EDAC)
A reconfiguração parcial restaura os parâmetros ou certas funcionalidades do circuito lógico frequentemente, de modo a evitar previamente que os erros causados por SEE prejudiquem o bom funcionamento do mesmo.	P6 (RECO)

Finalmente, foi produzido um quadro sintético dos princípios inventivos que foram relacionados com as propostas de solução,

demonstrando que as mais referenciadas podem ser consideradas soluções mais relacionadas aos processos de inovação. Assim, este método foi utilizado para analisar propostas de soluções já adotadas no domínio do tempo.

A Tabela V demonstra a aplicação final com todas as propostas de técnicas associadas a princípios inventivos aplicáveis ao problema. Desta forma, as técnicas foram quantificadas e seus dados utilizados para a confecção de gráficos.

TABELA V  
APLICAÇÃO FINAL DA TRIZ

Princ. Inv.	P1 - CKPR	P2 - CACT	P3 - TMR	P4 - REFP	P5 - EDAC	P6 - RECO	P7 - DUPL
35			1	1			1
22			1			1	1
1			1			1	1
2	1	1	1	1	1	1	1
10	1	1	1	1	1	1	1
26			1	1		1	1
27		1	1	1		1	1
33		1					
15	1		1	1	1	1	1
16	1		1	1	1	1	1
36	1		1	1		1	1
Resul-tado	5	4	10	8	4	9	10

VII. RESULTADOS

O resultado da quantização das técnicas de mitigação em relação à pesquisa bibliográfica está representado na Tabela VI, com a amostragem do ano da publicação na Fig. 2.

TABELA VI  
RESULTADO DA PESQUISA BIBLIOGRÁFICA

	P1 - CKPR	P2 - CACT	P3 - TMR	P4 - REFP	P5 - EDAC	P6 - RECO	P7 - DUPL
Nº Publ.	5	1	20	1	15	31	7

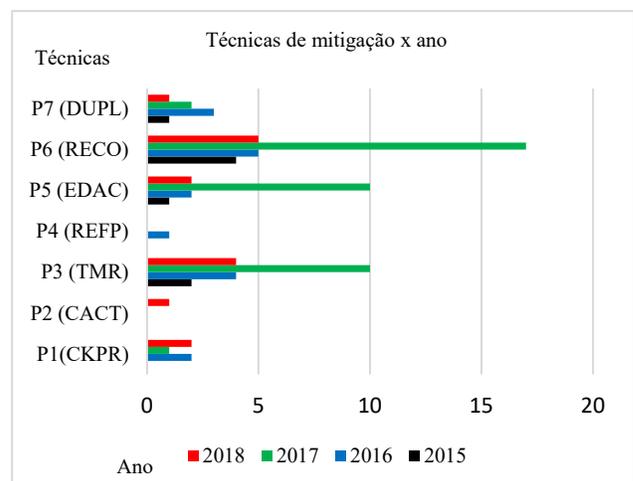


Fig. 2. Resultado da pesquisa bibliográfica para técnicas de mitigação das falhas (FPGA COTS).

A TRIZ foi aplicada com base nas técnicas da pesquisa bibliográfica de modo a proporcionar o ranqueamento das sete técnicas de mitigação das falhas. A pontuação deste método, conforme a Fig. 3, foi baseada na maior ou menor utilização implícita dos princípios inventivos nas técnicas pesquisadas. Estatisticamente, cada vez que a técnica aparece nas justificativas do aplicador em relação a um princípio inventivo, esta é pontuada. Quanto mais pontuada for a técnica, segundo a TRIZ, mais esta possui potencial para solucionar o problema, inclusive com inovação.

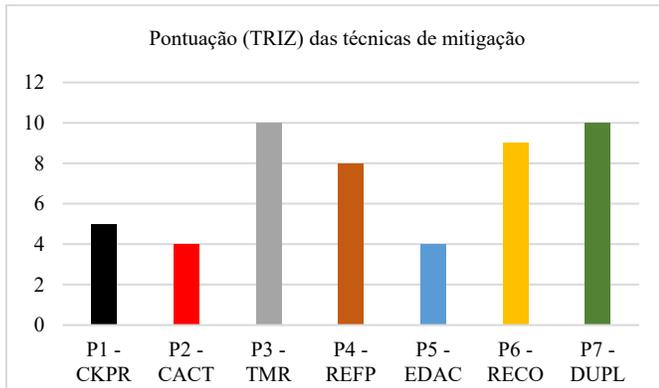


Fig. 3. Resultado da aplicação da TRIZ para técnicas de mitigação das falhas (FPGA COTS).

Pelos resultados da pesquisa bibliográfica constatou-se que há sete principais técnicas que estão sendo mais abordadas atualmente nos trabalhos científicos (2015 a 2018) para mitigação das falhas causadas pelos efeitos da radiação em FPGAs COTS. A TRIZ validou experimentalmente a pesquisa bibliográfica realizada, empregando a matriz de contradição.

O ranqueamento total (Tabela VII) foi obtido pela soma do número de referências da pesquisa bibliográfica (Tabela VI) e a pontuação da TRIZ (Fig. 3 e Tabela V).

TABELA VII  
PONTUAÇÕES OBTIDAS (Nº PUBLICAÇÕES X TRIZ)

	P1 - CKPR	P2 - CACT	P3 - TMR	P4 - REFP	P5 - EDAC	P6 - RECO	P7 - DUPL
Nº Publ.	5	1	20	1	15	31	7
TRIZ	5	4	10	8	4	9	10
TOTAL	10	5	30	9	19	40	17

Para sugestão de aplicação de técnicas aos usuários (pesquisadores, desenvolvedores, organizações, instituições educacionais e governos), de acordo com as características da pesquisa, podem ser sugeridas as técnicas de mitigação atuais, conforme Tabela VIII.

TABELA VIII  
RESULTADO (GRUPOS DE TÉCNICAS)

Grupo de técnicas	Análise
1 Reconfiguração, TMR e EDAC	Maior número de referências e maior variação ao longo do período.
2 Duplicação e Circuito de proteção	Número médio de referências, mas com uma tendência de variação ao longo do período.
3 Redundância de FPGA e Careful COTS	Pequeno número de referências, sem apresentar variações ao longo do período.

A Tabela IX resume o resultado considerando os diversos usuários mencionados.

TABELA IX  
RESULTADO (APLICAÇÃO)

Características			
Usuários	Número de publicações	Variação	Técnicas sugeridas por prioridade
Pesquisadores	Maior	Maior	GRUPO 1 (RECO, TMR, EDAC)
	Médio	Média	GRUPO 2 (DUPL, CKPR)
	Pequeno	Nula	GRUPO 3 (REFP, CACT)
Desenvolvedores	Pequeno	Nula	GRUPO 3 (REFP, CACT)
	Médio	Média	GRUPO 2 (DUPL, CKPR)
	Maior	Maior	GRUPO 1 (RECO, TMR, EDAC)
Organizações, instituições educacionais e governos	Ranqueamento total		RECO, TMR, EDAC DUPL, CKPR REFP, CACT

Considerando-se os pesquisadores são sugeridas como melhores técnicas primeiramente aquelas que apresentam uma variação numérica maior de publicações recentes (primeiro grupo), seguindo-se as que apresentaram uma tendência de variação menor (segundo grupo) e, finalmente, as que não apresentaram nenhuma tendência (terceiro grupo), devidamente ranqueadas.

No caso de desenvolvedores são sugeridas as técnicas mais maduras como prioritárias (terceiro grupo), já que estão mais sedimentadas pela comunidade científica e não necessitam de estudos mais aprofundados para a devida implementação. A seguir, são sugeridas as do segundo e primeiro grupos (sucessivamente) e com o devido ranqueamento.

Finalmente, para os usuários de grande porte (organizações, instituições educacionais e governos), que possuem pesquisa e desenvolvimento e necessitam priorizar certos estudos e projetos, sugere-se somente o ranqueamento total de todas as técnicas.

## VIII. CONCLUSÃO

Após a análise dos resultados concluiu-se que a revisão bibliográfica permitiu o levantamento atualizado das principais soluções empregadas para mitigação dos efeitos da radiação espacial em FPGAs COTS. O ranqueamento foi obtido por intermédio do número de referências de publicações atuais e a pontuação da TRIZ, para sugestão das técnicas aos seguintes usuários: pesquisadores, desenvolvedores, instituições educacionais e governos.

Como sugestão, os pesquisadores podem considerar como técnicas prioritárias aquelas que apresentam maior número de referências e variação no período. Os desenvolvedores podem concentrar-se primeiramente nas técnicas mais maduras, com menor número de referências e variação no período. Para as organizações, instituições educacionais e governos que possuem ambas as atividades, sugere-se apenas o ranqueamento total de todas as técnicas.

## AGRADECIMENTOS

Os autores agradecem ao INPE pelo Curso de Pós-graduação em Engenharia e Tecnologia Espaciais (Engenharia e Gerenciamento de Sistemas Espaciais) e à excelente contribuição de seus orientadores e professores.

## REFERÊNCIAS

- [1] *The Space Economy at a Glance 2014*, Org. for Economy Coop. and Development (OECD), Paris, France, 2014, pp. 1-35.
- [2] A. A. L., Ribeiro, "Reconfigurabilidade dinâmica e remota de FPGAs," dissertação de Mestrado, Inst. de Ciências Matemáticas e Comp. da Univ. de São Paulo (USP), São Carlos, SP, Brasil, 2002.
- [3] V. W. C. Medeiros, "fastRTM: um ambiente integrado para desenvolvimento rápido da migração reversa no tempo (RTM) em plataformas FPGA de alto desempenho," dissertação de Mestrado, Univ. Fed. de Pernambuco, Recife, PE, Brasil, 2013.
- [4] Digikey, (2017, Jan. 18), *Digikey Products* [Online]. Available: <http://www.digikey.com/products/en/integrated-circuits-ics/embedded-fpgas-field-programmable-gate-array/696>.
- [5] M.V. Pinho, F. Kraeamer, I. Soares, "FPGAs em aplicações espaciais," Instituto Federal de Santa Catarina (IFSC), notas de aula, 2016.
- [6] *ESA Space Engineering - Methods for the calculations of radiation received and its effects, and a policy for design margins*, ESA Standard ECSS-E-ST-10-12C, 2008.
- [7] Federal Acquisition Regulations (FAR), (2017, Feb. 19), *COTS* [Online]. Available: <https://www.acquisition.gov/browsefar>.
- [8] E. I. Junior, L. M. Garces, A. J. Cabrera, T. C. Pimenta., "Performance analysis of algorithms over FPGA for removing salt and pepper noise," *IEEE Latin America Trans.*, vol.14 , no. 5, pp. 2120 – 2127, Aug. 2016.
- [9] E. G. Ramirez, I. Garcia, E. Guerrero, C. Pacheco, "A tool for supporting the design of dc-dc converters through FPGA-based experiments," *IEEE Latin America Trans.*, vol.14 , no. 1, pp. 289 – 296, Mar. 2016.
- [10] P. Pessolani, O. Jara, S. Gonnet, R. Cortés, F. G. Tinetti, "A fault-tolerant algorithm for distributed resource allocation," *IEEE Latin America Trans.*, vol. 15 , no. 11, pp. 2152-2163, Oct. 2017.
- [11] E. I. Junior, L. M. Garces, T. C. Pimenta, A. J. Cabrera, "FPGA-based EMD assist block for motion detection in critical environments," *IEEE Latin America Trans.*, vol. 15 , no. 10, pp. 1856 - 1863, Oct. 2017.
- [12] C. Guillén, L. Martínez, N. Chávez, "FPGA implementation of a low cost and flexible pulse compression system," *IEEE Latin America Trans.*, vol. 15 , no. 9, pp. 1608 - 1612, Aug. 2017.
- [13] T. F. Pereira, D. R. Melo, E. A. Bezerra, C. A. Zeferino, "Mechanisms to provide fault tolerance to a network-on-chip," *IEEE Latin America Trans.*, vol. 15 , no. 6, pp. 1034 – 1042, May 2017.
- [14] M. F. Minicz, A. Anzaloni, "Fault recovery performance in multicast networks for smart grid," *IEEE Latin America Trans.*, vol. 15 , no. 11, pp. 2207 - 2213, Oct. 2017.
- [15] I. F. Gallon, D. P. Lima ; E. C. Pedrino, "ASCGP - automatic system for construction of logical circuits in FPGA using CGP," *IEEE Latin America Trans.*, vol. 16, no. 7, Aug. 2018.
- [16] L. E. R. Silva, "Sistema de tolerância a falhas baseado em reconfiguração estática de dispositivos FPGAs", monografia de Graduação, Univ. de Brasília (UnB), Brasília, DF, Brasil, 2015.
- [17] F. Veljkovic, T. Riesgo, E. Torre, "Adaptive reconfigurable voting for enhanced reliability in medium-grained fault tolerant architectures," in *Proc. IEEE 2<sup>th</sup> NASA/ESA Conf. on AHS*, Montreal, QC, Canada, 2015, pp. 1-8.
- [18] G. I. Alkady, N. A. El-Araby, M. B. Abdelhalim, H. H. Amer, A. H. Madian, "Dynamic fault recovery using partial reconfiguration for highly reliable FPGAs," in *Proc. MECO*, Budva, Montenegro, 2015, pp. 56-59.
- [19] V. Dumitriu, L. Kirischian, V. Kirischian, "Run-time recovery mechanism for transient and permanent hardware faults based on distributed, self-organized dynamic partially reconfigurable systems," *IEEE Trans. on Computer*, vol. 65, no. 9, pp. 2835-2847, Dec. 2015.
- [20] C. Carmichael, E. Fuller, J. Fabula, F. Lima, "Proton testing of SEU mitigation methods for the Virtex FPGA," Xilinx Inc., Novus Technologies Inc., Fed. Univ. of Rio Grande do Sul (UFRGS), 2016.
- [21] Z. Dong, Y. Guo, Y. Gong, C. Li, "A high reliability radiation hardened on-board computer system for space application," in *Proc. IEEE 6<sup>nd</sup> Int. Conf. on IMCCC*, Harbin, China, 2016, pp. 671- 674.
- [22] M. Amagasaki, Y. Nakamura, T. Teraoka, M. Iida, T. Sueyoshi, "A novel soft error tolerant FPGA architecture," in *Proc. IFIP/IEEE Int. Conf. on VLSI-SoC*, Tallin, Estonia, 2016, pp. 1-6.
- [23] M. Vavouras, C.S. Bouganis, "Area-driven partial reconfiguration for SEU mitigation on SRAM-based FPGAs," in *Proc. IEEE Int. Conf. on ReConFig*, Cancun, México, 2016, pp. 1-6.
- [24] M. N. Shaker, A. H. Madian, M.B. Abdelhalim, S. H. Amer, A. S. Emar, H. H. Amer, "Effect of open faults in FPGA switch matrices on fault detection mechanisms," in *Proc. IEEE 28<sup>nd</sup> ICM*, Giza, Egypt, 2016, pp. 233-236.
- [25] E. Grade, A. Hayek, J. Börcsök, "Implementation of a fault-tolerant system using safety-related xilinx tools conforming to the standard IEC 61508," in *Proc. IEEE ICRCS*, Paris, France, 2016, pp. 78-83.
- [26] A. Ahmed, "New FPGA blind scrubbing technique," in *Proc. IEEE Aerospace Conf.*, Big Sky, MT, USA, 2016, pp. 1-9.
- [27] J. Jiménez, U. Bidarte, C. Cuadrado, E. Garcia, J. Lázaro, "SafeSoc: a fault-tolerant-by-redundancy evaluation card for high-speed serial communications", in *Proc. IEEE Conf. on DCIS*, Granada, Spain, 2016, pp. 1-4.
- [28] J. Steckert, A. Skoczen, "Design of FPGA-based radiation tolerant quench detectors for LHC", *J. of Instrumentation*, vol. 12, Apr. 2017.
- [29] P. Villa, E. Bezerra, R. Goerl, L. Poehls, F. Vargas, N. Medina, N. Added, V. Aguiar, E. Macchione, F. Aguirre, M. Silveira, "Analysis of COTS FPGA SEU-sensitivity to combined effects of conducted-EMI and TID," in *Proc. 11<sup>nd</sup> Int. Work. on the EMC Compo*, St. Petesburg, Russia, 2017, pp. 1-6.
- [30] C. R. Julien, B. J. LaMeres, R. J. Weber, "An FPGA-based radiation tolerant smallsat computer system," in *Proc. IEEE Aerospace Conf.*, Big Sky, MT, USA, 2017.
- [31] A. Peréz, L. Suriano, A. Otero, E. Torre, "Dynamic reconfiguration under RTEMS for fault mitigation and functional adaptation in SRAM-based SoPCs for space systems," in *Proc. AHS*, Pasadena, CA, USA, 2017.
- [32] N. T. H. Nuyen, "Repairing FPGA configuration memory errors using dynamic partial reconfiguration," Ph.D. dissertation, Fac. of Eng. Univ. of New South Wales, Sidney, Australia, 2017.
- [33] C. M. Fuchs, T. P. Stefanov, N. M. Murillo, A. Plaat, "Bringing fault-tolerant gigahertz-computing to space:," in *Proc. 26<sup>nd</sup> IEEE ATS*, Taipei, Taiwan, 2017.
- [34] M. Najem, T. Bollengier, J. C. L. Lann, L. Lagadec, "Extended overlay architectures for heterogeneous FPGA cluster management," *J. of Systems Architecture*, no. 78, pp. 1-14, Aug. 2017.
- [35] S. Mandal, R. Paul, S. Sau, A. Chakrabarti, S. Chattopadhyay, "Efficient dynamic priority based soft error mitigation techniques for configuration memory of FPGA hardware," *Microprocessors and Microsystems* , vol. 51, pp. 313-330, Jun. 2017.
- [36] D. Selcan, G. Kirbis, I. Kramberger, "Nanosatellites in LEO and beyond: advanced radiation protection techniques for COTS-based spacecraft," *Acta Astronautica*, vol. 131, pp. 131-144, Feb. 2017.
- [37] K. Ngo , T. Mohammadat , J. Öberg, "Towards a single event upset detector based on COTS FPGA," in *Proc. IEEE NORCAS: NORCHIP and Int. Symp. of SoC*, Linkoping, Sweden, 2017.
- [38] A. L. Filho, R. d'Amore, "A tolerant JPEG-LS image compressor foreseeing COTS FPGA implementation," *Microprocessors & Microsystems*, vol. 49, pp. 54 -63, Mar. 2017.
- [39] P. R. C. Villa, R. C. Goerl, F. Vargas, L. B. Poehls, N. H. Medina, N. Added, V. A. P. Aguiar, E. L. A. Macchione, F. Aguirre, M. A. G. Silveira, E. A. Bezerra, "Analysis of single-event upsets in a microsemi proasic3E FPGA," in *Proc. 18<sup>nd</sup> IEEE LATS*, Bogota, Colombia, 2017.
- [40] D. Gleeson, M. Mellacher, "The Smart backplane – lowering the cost of spacecraft avionics by improving the radiation tolerance of COTS electronic systems," in *Proc. 33<sup>rd</sup> Space Symp. (Technical Track)*, Colorado Springs, CO, USA, 2017, pp. 1-10.
- [41] L. Sterpone, L. Boragno, "A probe-based SEU detection method for SRAM-based FPGAs," *Microelectronics Reliability*, vol. 76-77, pp. 154-158, Sep. 2017.
- [42] E. Kyriakakis, K. Ngo, J. Öberg, "Mitigating single-event upsets in COTS SDRAM using an EDAC SDRAM controller," in *Proc. IEEE NORCAS: NORCHIP and Int. Symp. of SoC*, Linkoping, Sweden, 2017.
- [43] R. Glein, P. Mengers, F. Rittner, R. Wansch, A. Heuberger, "BRAM implementation of a single-event upset sensor for adaptive single-event effect mitigation in reconfigurable FPGAs," in *Proc. NASA/ESA Conf. on AHS*, Pasadena, CA, USA, 2017.
- [44] B. J. LaMeres, C. Delaney, M. Johnson, C. Julien, K. Zack, B. Cunningham, T. Kaiser, L. Springer, D. Klumpar , "Next on the pad :

- radstat - a radiation tolerant computer system,” in *Proc. 31th Annual AIAA/USU Conf. on Small Satellite*, Logan, UT, USA, 2017, pp 1-11.
- [45] A. Hofmann, R. Glein, L. Frank, R. Wansch, A. Heuberger, “Reconfigurable on-board processing for flexible satellite communication systems using FPGAs,” in *Proc. TWIOS*, Phoenix, AZ, USA, 2017.
- [46] F. Rittner, M. Ristic, R. Glein, A. Heuberger, “Automated test procedure to detect permanent faults inside SRAM-Based FPGAs,” in *Proc. NASA/ESA Conf. on AHS*, Pasadena, CA, USA, 2017.
- [47] A. Kourfali, A. Kulkarni, D. Stroobandt, “SICTA: a superimposed in-circuit fault tolerant architecture for SRAM-Based FPGAs,” in *Proc. IEEE 23rd Int. Symp. on IOLTS*, Thessaloniki, Greece, 2017.
- [48] A. Hanafi, M. Karim, I. Latachi, T. Rachidi, S. Dahbi, S. Zouggar, “FPGA-based secondary on-board computer system for low-earth-orbit nano-satellite,” in *Proc. Int. Conf. on ATISIP*, Fez, Morocco, 2017.
- [49] F. Benevenuti, F. L. Kastensmidt, “Evaluation of fault attack detection on SRAM-based FPGAs,” in *Proc. 18th IEEE LATS*, Bogota, Colombia, 2017.
- [50] D. Wilson, A. Shastri, G. Stitt, “A high-level synthesis scheduling and binding heuristic for FPGA fault tolerance,” *Int. J. of Reconfigurable Computing*, vol. 2017, 2017.
- [51] T. Toba, K. Shimbo, T. Uezono, F. Nagasaki, K. Kawamura, “Soft error high speed correction by interruption scrubbing method in FPGA for embedded control system,” in *Proc. IEEE 2nd ITNEC*, Chengdu, China, 2017.
- [52] T. Fujimori, M. Watanabe, “A 603 mrad total-ionizing-dose tolerance optically reconfigurable gate array VLSI,” in *Proc. ICSigSys*, Bali, Indonesia, 2018.
- [53] P. R. C. Villa, R. Travessini, F. L. Vargas, E. A. Bezerra, “Processor checkpoint recovery for transient faults in critical applications,” in *Proc. 19th LATS*, São Paulo, SP, Brazil, 2018.
- [54] M. Mousavi, H. R. Pourshaghghi, M. Tahghighi, R. Jordans, H. Corporaal, “A generic methodology to compute design sensitivity to SEU in SRAM-based FPGA,” in *Proc. 21st Euromicro Conf. on DSD*, Prague, Czech Republic, 2018.
- [55] C. M. Fuchs, N. M. Murillo, A. Plaat, E. Kouwe, D. Harsono, T. P. Stefanov, “Fault-tolerant nanosatellite computing on a budget,” in *Proc. Conf. on RADECS*, Gothenburg, Sweden, 2018.
- [56] L. P. Santos, G. L. Nazar, L. Carro, “Repair of FPGA-based real-time systems with variable slacks,” *ACM TODAES*, vol. 23, n° 2 (19), Jan. 2018.
- [57] T. Bates, C. P. Bridges, “Single event mitigation for xilinx 7-series FPGAs,” in *Proc. IEEE Aerospace Conf.*, Big Sky, MT, USA, 2018.
- [58] M. Baryshnikov, “FPGA-based support for predictable execution model in multi-core CPU,” M.S. thesis, Czech Technical Univ. in Prague, Prague, Czech Republic, 2018.
- [59] L. Murugathasan, U. Bindra, C. Du, Z. H. Zhu, F. T. Newland, “A software and hardware redundancy architecture for using raspberry pi modules as command & data handling systems for the DESCENT mission,” in *Proc. CASI ASTRO 18*, Quebec City, Quebec, Canada, 2018.
- [60] D. M. Mahadeo, L. Rohwer, M. Martinez, N. Nowlin, “Assessment of commercial-off-the-shelf electronics for use in short-term geostationary satellites,” Sandia National Laboratories, Albuquerque, NM, USA, Tec. Rep. SAND-2018-12254669176, 2018.
- [61] S. C. Anjankar, A. M. Pund, R. Junghare, J. Zalko, “Real-time FPGA-based fault tolerant and recoverable technique for arithmetic design using functional triple modular redundancy (FRTMR),” in *Proc 2nd Int. Conf. on Computational Intelligence and Informatics, Advances in Intelligent System and Computing*, Hyderabad, Telangana, India, 2018, pp. 491-499.
- [62] C. M. Fuchs, N. M. Murillo, A. Plaat, E. Kouwe, P. Wang, T. Stefanov, “Towards affordable fault-tolerant nanosatellite computing with commodity hardware,” in *Proc. IEEE 27th ATS*, Hefei, China, 2018.
- [63] L. M. Reyneri, C. Sansoè, C. Passerone, S. Speretta, M. Tranchero, M. Borri, D.D. Corso, “Design Solution for Modular Satellites Architectures,” *Intechopen Aer. Tech. Adv.*, Jan. 2010 [Online]. Available: <https://www.intechopen.com/books/aerospace-technologies-advancements/design-solutions-for-modular-satellite-architectures>.
- [64] D. Sinclair, J. Dyer, “Radiation effects and COTS parts in smallsats,” in *Proc. 27th Annual AIAA/USU Conference on Small Satellites*, Logan, UT, USA, 2013.
- [65] L. S. Parobeck, “Research, development and testing of a fault-tolerant FPGA-Based sequencer for cubesat launching applications,” M.S. thesis, Naval Postgraduate School, Monterey, CA, USA., 2013.
- [66] C. Carmichael, E. Fuller, P. Blain, M. Caffrey, “SEU mitigation techniques for virtex FPGAs in space applications,” in *Proc. MAPLD Int. Conf.*, Laurel, MD, USA, 1999.
- [67] P.P. Shirvani, N. R. Saxena, E.J. McChuskey, “Software implemented EDAC protect against SEUs,” *IEEE Trans. on Reliability*, vol. 49, n° 3, pp. 273-284, Sep. 2000.
- [68] F. G. L. Kastensmidt, G. Neuberger, R.F. Hentschke, L. Carro, R. Reis, “Design fault tolerant technique for SRAM based FPGAs,” *IEEE Design & Test of Computers*, vol. 21, n° 6, pp. 552-562, Dec. 2004.
- [69] G. Altshuller, *The innovation algorithm TRIZ, systematic innovation and technical creativity*, Worcester, MA, USA: Tech. Innovation Center, 1999, pp. 100 - 120.
- [70] E. Demarque, “TRIZ- Teoria para resolução de problemas inventivos aplicado ao planejamento de processos na indústria automotiva,” dissertação de Mestrado, Escola Politécnica da Univ. de São Paulo (USP), São Paulo, SP, Brasil, 2005.
- [71] M.A. Carvalho, “Metodologia ideatriz para ideação de novos produtos”, tese de Doutorado, Univ. Fed. de Santa Catarina (UFSC), Florianópolis, SC, Brasil, 2007.
- [72] TRIZ40, (2019, Jan. 18), *TRIZ40 by solidcreativity* [Online]. Available: [triz40.com/TRIZ\\_GB.php](http://triz40.com/TRIZ_GB.php).



**Adilson Luiz Barbosa** (M'19) graduou-se em Engenharia Eletroeletrônica pela Universidade do Vale do Paraíba (UNIVAP-1992), São José dos Campos, SP, Brasil. Obteve o título de Mestre em Engenharia e Tecnologia Espaciais (Engenharia e Gerenciamento de Sistemas Espaciais) pelo Instituto Nacional de Pesquisas Espaciais (INPE - 2015) na mesma cidade. Atualmente é aluno de Doutorado em Engenharia e Gerenciamento de Sistemas Espaciais, no INPE, na área de efeitos da radiação espacial em FPGAs COTS, desde 2016.



**Geilson Loureiro** graduou-se em Engenharia Eletrônica pelo Instituto Tecnológico da Aeronáutica (ITA-1987) em São José dos Campos, SP, Brasil. Obteve os títulos de Mestre em Engenharia Mecânica e Aeronáutica pelo ITA (1994). Obteve o título de Doutor em Engenharia de Sistemas na *Loughborough University* (1999), *Loughborough*, Reino Unido.

Exerce o cargo de Tecnologista sênior e Chefe do LIT (Laboratório de Integração e Testes) do INPE (São José dos Campos, SP, Brasil) desde fevereiro de 2013. Trabalha em diversos processos de ciclo de vida de produtos complexos como satélites, abrangendo: manufatura eletrônica, montagem, integração, testes de termo vácuo e de interferência e compatibilidade eletromagnética.

Dr. Geilson é líder de projeto na ISO (*International Organization Standardization*) de Engenharia de Sistemas Espaciais, tendo trabalhado na TRL (*Technology Readiness Levels*). De 2004 a 2005, participou do projeto NASA CER para

o desenvolvimento de arquiteturas de sistema de exploração espacial no MIT (*Massachusetts Institute of Technology*). Ele é membro do INCOSE (*International Council on Systems Engineering*) desde 1996. Em 1991, foi certificado como Engenheiro da Qualidade pela Sociedade Americana para a Qualidade (ASQ - *American Society for Quality*).



**Silvio Manca** graduou-se em Engenharia Elétrica pela Universidade do Vale do Paraíba (UNIVAP-1992), São José dos Campos, SP, Brasil. Obteve o título de Mestre em Física e Química de Materiais Aeroespaciais na área de Propelentes Sólidos pelo ITA (2007), na mesma cidade. Obteve o título de Doutor na área de Física e Química de Materiais Aeroespaciais pelo

ITA (2013).

Desde 1977 trabalhou em diversas funções nas áreas técnicas, de gerenciamento e pesquisa. Possui experiência na área de Engenharia Aeroespacial, com ênfase em satélites e outros dispositivos aeroespaciais, radares embarcados terrestres e aéreos, sistemas de rádio navegação e proteção ao voo e outros sistemas eletroeletrônicos. Realizou Pós-doc. em efeitos da radiação em componentes CMOS (*Complementary Metal-Oxide-Semiconductor*) na Università degli Studi di Padova (UNIPD - 2014), Pádua, Vêneto, Itália. Atualmente exerce atividades no INPE (São José dos Campos, SP, Brasil) relativas à Engenharia de Radiação, incluindo dispositivos FPGAs e COTS.



**José Marcelo Lima Duarte** realizou Graduação (2003), Mestrado (2007) e Doutorado (2012) em Engenharia Elétrica pela Universidade Federal do Rio Grande do Norte (UFRN), Natal, Brasil.

Exerce o cargo de Pesquisador Adjunto no INPE (Natal, RN, Brasil) desde o ano de 2013. Trabalhou como projetista de circuitos integrados digitais de 2008 a 2013 no LSITEC (Laboratório de Sistemas Integráveis Tecnológico). Suas principais áreas de conhecimento são: Processamento Digital de Sinal (PDS), comunicação digital e circuitos integrados digitais. Atualmente tem como linhas de pesquisa: arquiteturas VLSI (*Very-Large-Scale Integration*) para PDS e sistemas de comunicação para satélite.



**Giuliani Paulineli Garbi**, graduado em Engenharia Elétrica/Eletrônica pela Universidade do Vale do Paraíba (UNIVAP-2001), São José dos Campos, SP, Brasil. Obteve o título de Mestre em Engenharia Mecânica na área de Automação Industrial pela Universidade de Taubaté (UNITAU- 2004), em Taubaté,

SP, Brasil. Obteve o título de Doutor em Engenharia e Tecnologias Espaciais do INPE, São José dos Campos, SP, Brasil.

Atualmente exerce o cargo de Tecnologista do INPE (Natal, RN, Brasil) na área de Engenharia de Sistemas de segmentos

espaciais, de solo e de aplicações. Possui experiência industrial e acadêmica nos temas: automação industrial; dispositivos de eletrônica analógica, digital e de potência; instrumentação industrial; dispositivos robotizados; controladores clássico e digital; e modelagem de sistemas complexos.