






Optimized Implementation Methodology for HIL FPGA Simulations for Power Converters

Aaron Iván Granjeno Gómez , Rodolfo Orosco Guerrero , Elías José Juan Rodríguez Segura , Fany Rodríguez García , and José Heriberto Rodríguez Estrada 

Abstract—The growing complexity of power electronic systems demands simulation methods capable of high computational speed and accuracy. Traditional software-based simulations exhibit long execution times and limited ability to reproduce critical operating conditions, while hardware experimentation may expose physical components to extreme scenarios that can compromise their integrity. This work presents an optimized methodology for modeling, discretizing, and implementing Boost, Buck, and Boost-Buck converters on FPGA using LabVIEW. Mathematical models are derived from Kirchhoff's laws and discretized through Euler's method, followed by an algebraic conditioning stage that minimizes arithmetic operations and reduces clock-cycle latency. Open-loop tests comparing FPGA execution with PSIM simulations at 25% and 75% duty cycles demonstrate high fidelity in capacitor-voltage and inductor-current responses. Error growth at higher duty cycles is attributed to the UQ10.32 fixed-point format. Overall, the proposed methodology offers an efficient and accurate alternative for real-time-oriented converter simulation, supporting safer and faster validation.

Link to graphical and video abstracts, and to code: <https://latam.ieeer9.org/index.php/transactions/article/view/10594>

Index Terms— FPGA, HIL, Labview, Power converter, Simulation.

I. INTRODUCCIÓN

ACTUALMENTE, la creciente complejidad de los sistemas electrónicos implica que las simulaciones detalladas requieran tiempos prolongados y un alto consumo de recursos computacionales. Para mitigar estas limitaciones, se han desarrollado estrategias que aceleran el proceso de prueba y validación, entre ellas la implementación en plataformas FPGA.

Tradicionalmente, la verificación de sistemas de potencia se realizaba mediante dos enfoques: pruebas experimentales sobre hardware real o simulaciones por software. En la actualidad, existe una tercera alternativa que combina ambos métodos: la técnica Hardware-in-the-Loop (HIL).

Esta metodología consiste en configurar un hardware capaz de

emular el comportamiento del sistema físico mediante la ejecución de modelos matemáticos. Gracias a la capacidad de procesamiento paralelo de dispositivos como las FPGA, el cálculo se realiza con mayor rapidez que en arquitecturas basadas en microprocesadores, lo que habilita simulaciones en tiempo real. De esta manera, la técnica HIL proporciona una plataforma que replica el sistema físico bajo prueba, permitiendo introducir modelos matemáticos equivalentes y evaluar su desempeño en condiciones críticas sin comprometer componentes reales.

Las ventajas que proporciona una simulación mediante la técnica HIL son: permite realizar simulación previa y, al mismo tiempo, desarrollar la planta. Además, posibilita someter a la planta simulada en HIL a situaciones extremas, evitando dañar una planta real. Finalmente, contribuye a reducir el coste de desarrollo.

Asimismo, en [1] se implementan dos componentes de una microrred: un panel solar y un convertidor Boost. En ambos casos se obtiene el modelo matemático representativo para su programación en HIL mediante LabVIEW, validando los resultados con simulaciones en MATLAB/Simulink.

En [2] se muestra que la modernización de los sistemas eléctricos y la evolución de los relés de protección, este artículo presenta una plataforma de pruebas hardware-in-the-loop (HIL) flexible y de bajo costo para la evaluación de un relé de distancia aplicado a la protección de alimentadores. La plataforma permite validar enfoques de protección en el dominio del tiempo mediante la simulación de un sistema de potencia en PSCAD y la implementación de la función de protección en un microcontrolador comercial. Los resultados obtenidos a partir de distintos tipos de fallas demuestran la viabilidad y efectividad del esquema propuesto para la prueba de sistemas de protección eléctrica.

En [3] se propone una metodología para la simulación de un convertidor reductor y un inversor, que incluye diseño del convertidor, modelado, resolución del modelo mediante un método numérico, simulación fuera de línea con representación en punto fijo e implementación en FPGA. Esta estrategia busca demostrar la eficiencia y simplicidad metodológica, validando los resultados con el software PSIM.

En [4] el artículo presenta una revisión de las principales estrategias analíticas y de modelado de caja negra aplicadas a micro y nanoredes de CC, destacando las capacidades, limitaciones y diferencias entre modelos lineales y no lineales.

En [5] se desarrolla una simulación didáctica que permite visualizar con rapidez y precisión los resultados del modelo del convertidor. Posteriormente, [6] presenta una simulación

The associate editor coordinating the review of this manuscript and approving it for publication was Susana De León Aldaco (*Corresponding author: Rodolfo Orosco Guerrero*).

This work was funded by the National Technological Institute of Mexico.

A. I. G. Gómez, Rodolfo Orosco Guerrero, E. R. Segura, F. R. García and J. H. Rodríguez are with the Celaya Institute of Technology, Celaya, Guanajuato, México (e-mails: m2403074@itcelaya.edu.mx, rodolfo.orosco@itcelaya.edu.mx, elias.rodriguez@itcelaya.edu.mx, fany.rodriguez@itcelaya.edu.mx, and heriberto.rodriguez@itcelaya.edu.mx).

HIL en tiempo real de un convertidor Buck controlado por un regulador PI digital en lazo cerrado, actuando sobre el PWM para mantener un voltaje de salida constante, cuyos resultados se midieron mediante osciloscopio. En [7] se introduce una metodología basada en el observador de Luenberger para estimar variables y detectar fallas en sistemas complejos, simulando un convertidor Buck en tiempo real junto con su observador. Finalmente, [8] realiza una simulación HIL en lazo abierto, comparando los resultados con un convertidor físico en lazo cerrado, ambos controlados por el mismo PWM, demostrando la efectividad del control PI y validando el entorno HIL.

En [9] se describe una técnica de simulación HIL aplicada a un inversor resonante en serie con múltiples salidas para sistemas de calentamiento por inducción doméstico. Se implementa en un FPGA, que integra un procesador MicroBlaze, periféricos personalizados y el modelo del convertidor de potencia. El trabajo explica cómo el firmware, desarrollado en C, y el hardware descrito se ejecuta simultáneamente en la misma plataforma. Se destaca que la simulación convencional resulta poco eficiente debido a la complejidad del procesador embebido. Como alternativa, se propone una simulación en tiempo real que permite monitorear variables eléctricas y trazar la ejecución del firmware. Finalmente, se muestra un flujo de diseño efectivo y de bajo costo para la verificación del sistema de control.

Diversos estudios han demostrado que las plataformas FPGA son fundamentales para la implementación de simulaciones hardware-in-the-loop (HIL) en sistemas de electrónica de potencia. En [10], se propone un modelo de emulación de convertidores basado en FPGA que mejora la precisión y eficiencia del proceso de diseño. Por otro lado, en [11] se analiza el impacto de los formatos numéricos en simulaciones en tiempo real, destacando su influencia en la precisión y en el rendimiento computacional de los sistemas HIL.

II. MODELADO MATEMÁTICO DE CONVERTIDORES DC-DC

Para el desarrollo del trabajo se modelaron los convertidores DC-DC más utilizados: Boost, Buck y Boost-Buck. La Fig. 1 presenta el circuito básico de un convertidor DC-DC tipo **Boost**, cuya función principal es elevar el nivel del voltaje de entrada. La Fig. 2 muestra el circuito básico de un convertidor DC-DC tipo **Buck**, utilizado para reducir el voltaje de entrada y entregar un voltaje de salida menor y regulado sobre la carga. La Fig. 3 corresponde al circuito de un convertidor DC-DC tipo **Buck-Boost** o **Boost-Buck**, el cual puede operar como reductor o elevador de voltaje dependiendo de las condiciones de conmutación y del ciclo de trabajo aplicado al interruptor. Estos convertidores comparten los mismos componentes: un inductor (L), un capacitor (C), un interruptor (Q), un diodo (D) y una resistencia (R). Asimismo, se identifican las señales principales del sistema: voltaje de entrada (V_{in}), voltaje de salida (v_{out}), corriente de entrada (i_{in}) y corriente de salida (i_{out}).

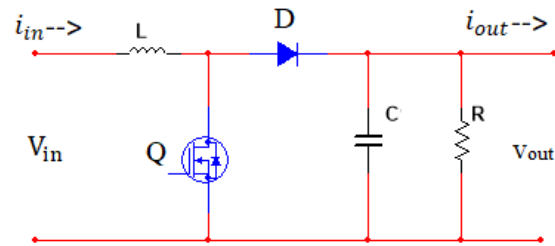


Fig. 1. Circuito eléctrico del convertidor DC-DC tipo Boost empleado para elevación de voltaje.

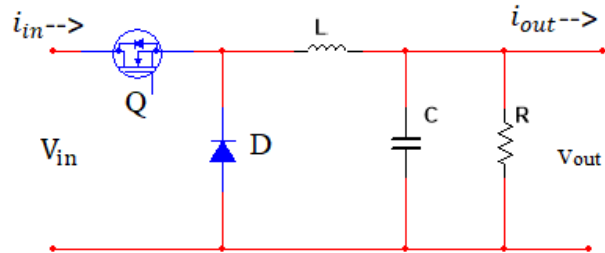


Fig. 2. Circuito eléctrico del convertidor DC-DC tipo Buck utilizado para reducción de voltaje.

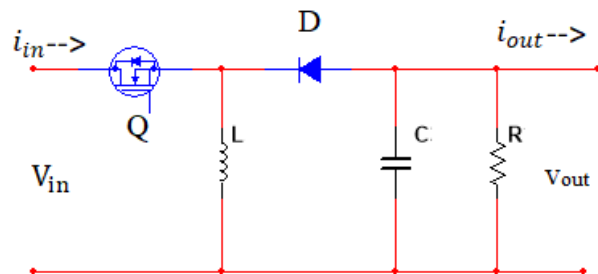


Fig. 3. Circuito eléctrico del convertidor DC-DC tipo Buck-Boost para operación elevadora y reductora de voltaje.

En [5], [12] y [13] se describen los pasos y el análisis de los circuitos de los convertidores mediante la aplicación de las leyes de Kirchoff. A partir de este procedimiento se obtienen las expresiones correspondientes para cada uno de sus modos de operación. Este método se empleó en el modelado de todos los convertidores analizados.

Las ecuaciones (1), (2) y (3) representan el modelo matemático de los convertidores Boost, Buck y Boost-Buck, respectivamente. Estas ecuaciones corresponden a las expresiones diferenciales asociadas a los modos de operación de cada convertidor.

En el análisis se considera la corriente de salida (i_o), lo que permite que el modelo tenga la capacidad de interconectar el puerto de salida con uno o varios puertos de entrada de otros circuitos.

$$\left. \begin{aligned} \frac{dv_C}{dt} &= \left(-\frac{1}{RC} \right) v_C + \left(\frac{1}{L} i_L (1-u) - \frac{1}{C} i_o \right) \\ \frac{di_L}{dt} &= \frac{T_s}{L} V_{in} - \left(\frac{T_s}{L} v_C (1-u) \right) \end{aligned} \right\} \quad (1)$$

$$\left. \begin{aligned} \frac{dv_C}{dt} &= \left(-\frac{1}{RC} \right) v_C + \left(\frac{1}{L} i_L \right) - \frac{1}{C} i_o \\ \frac{di_L}{dt} &= \left(\frac{1}{L} V_{in} u (1-u_d) \right) - \left(\frac{1}{L} v_C (1-u_d) \right) \end{aligned} \right\} \quad (2)$$

$$\left. \begin{aligned} \frac{dv_C}{dt} &= \left(-\frac{1}{RC}\right)v_C - \left(\frac{1}{C}i_L(1-u)\right) - \frac{1}{C}i_o \\ \frac{di_L}{dt} &= \left(\frac{1}{L}V_{in}(u)(1-u_d)\right) - \left(\frac{1}{L}v_C(1-u)(1-u_d)\right) \end{aligned} \right\} \quad (3)$$

Las variables u y u_d representan el estado de operación de los interruptores. La variable u corresponde al transistor y u_d al diodo. Ambos pueden tomar únicamente los valores 1 (conduce) o 0 (no conduce).

En los convertidores Buck y Buck-Boost, el valor de u_d depende de la corriente del inductor, lo que define si el convertidor opera en modo continuo o discontinuo. Cuando la corriente del inductor es igual a cero, el diodo se bloquea y el circuito se abre.

En el convertidor Boost, el valor de u_d está determinado por la conducción del transistor. Si el transistor conduce, el diodo se bloquea; en caso contrario, el diodo conduce. Por otro lado, la variable u es controlada por una señal PWM que regula el ciclo de trabajo, definiendo si el interruptor permanece cerrado o abierto.

En [14] se describe el procedimiento mediante el cual se aplica la aproximación de Euler para discretizar las ecuaciones (1) a (3). La ecuación (4) representa el modelo discretizado del convertidor Boost, la ecuación (5) corresponde al convertidor Buck y la ecuación (6) al convertidor Boost-Buck.

$$\left. \begin{aligned} V_{C(k+1)} &= \left(1 - \frac{T_s}{RC}\right)v_{Ck} + \frac{T_s}{C}(1-u)i_{Lk} - \frac{T_s}{C}i_{ok} \\ i_{L(k+1)} &= \frac{T_s}{L}V_{in} - \frac{T_s}{L}(1-u)v_{Ck} + i_{Lk} \end{aligned} \right\} \quad (4)$$

$$\left. \begin{aligned} V_{C(k+1)} &= \left(1 - \frac{T_s}{RC}\right)v_{Ck} + \frac{T_s}{C}i_{Lk} - \frac{T_s}{C}i_{ok} \\ i_{L(k+1)} &= \frac{T_s}{L}u(1-U_d)V_{in} - \frac{T_s}{L}(1-U_d)v_{Ck} + i_{Lk} \end{aligned} \right\} \quad (5)$$

$$\left. \begin{aligned} V_{C(k+1)} &= \left(1 - \frac{T_s}{RC}\right)v_{Ck} - \frac{T_s}{C}(1-U)i_{Lk} - \frac{T_s}{C}i_{ok} \\ i_{L(k+1)} &= \frac{T_s}{L}u(1-U_d)V_{in} - \frac{T_s}{L}(1-u)(1-U_d)v_{Ck} + i_{Lk} \end{aligned} \right\} \quad (6)$$

En las ecuaciones (4) a (6), T_s denota el paso de simulación. El subíndice k representa el valor discreto de la señal en el estado actual, mientras que el subíndice $(k+1)$ corresponde al valor de la señal en el estado discreto siguiente.

Para estimar el coste computacional y de hardware requerido por cada modelo durante su implementación en FPGA, se asume que es posible ejecutar múltiples operaciones aritméticas dentro de un mismo pulso de reloj, siempre que dichas operaciones no dependan del resultado de otra operación aritmética ejecutada en ese mismo pulso. Para ello se diseñaron las tablas de análisis de latencia que están organizadas por filas y columnas. Las filas representan los pulsos de reloj consecutivos, mientras que las columnas indican las operaciones aritméticas requeridas, por pulso de reloj, para el cálculo de los estados del sistema. Cada operación aritmética que forma parte del cálculo acumulativo del estado final se identifica mediante la notación a_i o b_i , según corresponda.

La Tabla I presenta el análisis de latencia asociado al convertidor Boost. Al observar la segunda y tercera columnas,

se puede constatar que se requieren siete operaciones aritméticas y tres ciclos de reloj para completar el cálculo tanto del estado $v_{C(k+1)}$ como del estado $i_{L(k+1)}$.

TABLA I
ANÁLISIS DE LATENCIA EN EL CÁLCULO DE LOS ESTADOS DEL
CONVERTIDOR BOOST DISCRETIZADO

Convertidor boost	Estado calculado	
Pulsos de reloj	$v_{C(k+1)}$	$i_{L(k+1)}$
1	$a_1 = v_{Ck} \left(1 - \frac{T_s}{RC}\right)$	$b_1 = V_{in} \left(\frac{T_s}{L}\right)$
	$a_2 = (1-u)$	$b_2 = (1-u)$
	$a_3 = i_{Lk} \left(\frac{T_s}{C}\right)$	$b_3 = -v_{Ck} \left(\frac{T_s}{L}\right)$
	$a_4 = -i_{ok} \left(\frac{T_s}{C}\right)$	$b_4 = i_L$
2	$a_5 = a_1 + a_4$	$b_5 = b_2 * b_3$
	$a_6 = a_2 * a_3$	$b_6 = b_1 + b_4$
3	$a_7 = a_5 + a_6$	$b_7 = b_5 + b_6$

La Tabla II presenta el análisis de latencia asociado al convertidor Buck. Al observar la segunda columna esta requiere cinco operaciones aritméticas y tres ciclos de reloj para completar el cálculo del estado $v_{C(k+1)}$ y en la tercera columna, se requieren nueve operaciones aritméticas y cuatro ciclos de reloj para completar el cálculo del estado $i_{L(k+1)}$.

TABLA II
ANÁLISIS DE LATENCIA EN EL CÁLCULO DE LOS ESTADOS DEL
CONVERTIDOR BUCK DISCRETIZADO

Convertidor buck	Estado calculado	
Pulsos de reloj	$v_{C(k+1)}$	$i_{L(k+1)}$
1	$a_1 = v_{Ck} \left(1 - \frac{T_s}{RC}\right)$	$b_1 = V_{in} \left(\frac{T_s}{L}\right)$
	$a_2 = i_{Lk} \left(\frac{T_s}{C}\right)$	$b_2 = u$
	$a_3 = -i_{ok} \left(\frac{T_s}{C}\right)$	$b_3 = 1 - u_d$
2		$b_4 = -v_{Ck} \left(\frac{T_s}{L}\right)$
	$a_4 = a_1 + a_2$	$b_5 = b_1 * b_2$
3		$b_6 = b_3 * b_4$
	$a_5 = a_3 + a_4$	$b_7 = b_3 * b_5$
4		$b_8 = i_{Lk} + b_6$
		$b_9 = b_7 + b_8$

La Tabla III presenta el análisis de latencia asociado al convertidor Boost-Buck. Al observar la segunda columna requiere siete operaciones aritméticas y tres ciclos de reloj para completar el cálculo del estado $v_{C(k+1)}$ y en la tercera columna, se requieren diez operaciones aritméticas y cinco

ciclos de reloj para completar el cálculo del estado $i_{L(k+1)}$.

TABLA III
ANÁLISIS DE LATENCIA EN EL CÁLCULO DE LOS ESTADOS DEL
CONVERTIDOR BOOST-BUCK DISCRETIZADO

Convertidor boost-buck	Estado calculado	
Pulsos de reloj	$v_{C(k+1)}$	$i_{L(k+1)}$
1	$a_1 = v_{Ck} \left(1 - \frac{T_s}{RC}\right)$ $a_2 = -i_{Lk} \left(\frac{T_s}{C}\right)$ $a_3 = (1 - u)$ $a_4 = -i_{ok} \left(\frac{T_s}{C}\right)$	$b_1 = V_{in} \left(\frac{T_s}{L}\right)$ $b_2 = -v_{Ck} \left(\frac{T_s}{L}\right)$ $b_3 = (1 - u)$ $b_4 = (1 - u_d)$
2	$a_5 = a_2 * a_3$ $a_6 = a_1 + a_4$	$b_5 = b_1 * u$ $b_6 = b_2 * b_3$
3	$a_7 = a_5 + a_6$	$b_7 = b_4 * b_5$ $b_8 = b_4 * b_6$
4		$b_9 = b_7 + b_8$
5		$b_{10} = i_{Lk} + b_9$

En la siguiente sección, se presenta la metodología propuesta por los autores, orientada a optimizar el cálculo en FPGA de las ecuaciones discretizadas. El objetivo es reducir el número de operaciones aritméticas y la cantidad de ciclos de reloj requeridos en cada paso iterativo.

III. ACONDICIONAMIENTO DE DODELO DISCRETIZADO DE CONVERTIDORES PARA SU IMPLEMENTACIÓN EN FPGA

En la ecuación (7) se define una forma general para representar operaciones de dos elementos, los cuales se multiplican entre sí. El primero, k_n , corresponde al resultado aritmético de una o varias constantes. El segundo, x_{ui} , representa el valor de una señal del sistema afectada por una variable booleana u_i .

$$h = k_1 x_{u1} + k_2 x_{u2} + k_3 x_{u3} + \dots + k_n x_{un} \quad (7)$$

La ecuación (8) describe la forma en que la variable u_i influye sobre x_{ui} . Se plantea como una condición lógica: si la condición booleana especificada se cumple, se asigna el valor de la señal; en caso contrario, se asigna cero:

$$x_{ui} = \begin{cases} 0 & \text{si } u_i \text{ es } F \text{ (falso)} \\ x_i & \text{si } u_i \text{ es } V \text{ (verdadero)} \end{cases} \quad i = 1, 2, 3, \dots, n \quad (8)$$

En [15] se presenta el desarrollo de la Tabla IV, que describe la forma de representar los términos de la ecuación (7) para su implementación en FPGA.

La primera columna muestra los términos utilizados en la ecuación. Además, se indica la variable n , que representa la cantidad total de términos considerados en el cálculo.

A partir de la segunda columna, se muestra únicamente la suma acumulativa de los resultados de manera sucesiva. Este procedimiento permite expresar la ecuación de forma que se reduzca el tiempo de cálculo matemático y, al mismo tiempo, estimar el tiempo requerido por la FPGA para completar el cálculo. Dichos tiempos se expresan en pulsos de reloj necesarios para su ejecución en la FPGA.

Con el objetivo de reducir los tiempos de cálculo en cada uno de los estados de los convertidores, es necesario minimizar las operaciones aritméticas presentes en los modelos. Por esta razón, se propone modificar el modelo discreto de los convertidores, optimizando su estructura para disminuir la complejidad computacional y, en consecuencia, reducir la latencia en la ejecución sobre FPGA

En las ecuaciones (9), (10) y (11) se muestra la representación de los modelos (4), (5) y (6) ajustados a la estructura de la ecuación (7).

Modelo optimizado del Convertidor Boost (9)

$$\left. \begin{aligned} V_{C(k+1)} &= \left(1 - \frac{T_s}{RC}\right) v_{Ck u1} + \frac{T_s}{C} i_{Lk u2} - \frac{T_s}{C} i_{ok u3} \\ i_{L(k+1)} &= \frac{T_s}{L} V_{in u4} - \frac{T_s}{L} v_{Ck u5} + i_{Lk u6} \end{aligned} \right\} \quad (9)$$

Modelo optimizado del Convertidor Buck (10)

$$\left. \begin{aligned} V_{C(k+1)} &= \left(1 - \frac{T_s}{RC}\right) v_{Ck u1} + \frac{T_s}{C} i_{Lk u2} - \frac{T_s}{C} i_{ok u3} \\ i_{L(k+1)} &= \frac{T_s}{L} V_{in u4} - \frac{T_s}{L} v_{C u5} + i_{L u2} \end{aligned} \right\} \quad (10)$$

Modelo optimizado del Convertidor Boost-Buck (11)

TABLA IV

REPRESENTACIÓN DE LOS TÉRMINOS DE LA ECUACIÓN PARA IMPLEMENTACIÓN EN FPGA

Elementos necesarios	n=1	n=2	n=4	n=8	n=16
2^n	2^0	2^1	2^2	2^3	2^4
Pulsos (ticks)	1	2	3	4	5
	$k_1 x_{u1} = a_1$	$a_1 + a_2 = b_1$	$b_1 + b_2 = c_1$	$c_1 + c_2 = d_1$	$d_1 + d_2 = e_1$
	$k_2 x_{u2} = a_2$	$a_3 + a_4 = b_2$	$b_3 + b_4 = c_2$	$c_3 + c_4 = d_2$	$d_3 + d_4 = e_2$
	$k_3 x_{u3} = a_3$	$a_5 + a_6 = b_3$	$b_5 + b_6 = c_3$	$c_5 + c_6 = d_3$	$d_5 + d_6 = e_3$
Estados calculados
	$k_n x_{un} = a_n$	$a_{n-1} + a_n = b_{\frac{n}{2}}$	$b_{\frac{n}{2}-1} + b_{\frac{n}{2}} = c_{\frac{n}{4}}$	$c_{\frac{n}{4}-1} + c_{\frac{n}{4}} = d_{\frac{n}{8}}$	$d_{\frac{n}{8}-1} + d_{\frac{n}{8}} = e_{\frac{n}{16}}$

$$\left. \begin{aligned} V_{C(k+1)} &= \left(1 - \frac{T_s}{RC}\right) v_{Ck u1} - \frac{T_s}{C} i_{Lk u2} - \frac{T_s}{C} i_{0k u3} \\ i_{L(k+1)} &= \frac{T_s}{L} v_{in u4} - \frac{T_s}{L} v_{Ck u5} + i_{Lk u6} \end{aligned} \right\} \quad (11)$$

En estos modelos de convertidores, los términos u_1 a u_n corresponden directamente a los términos u_i definidos en la ecuación (8). Cada una de estas variables representa una condición o combinación lógica asociada al estado de los interruptores (transistores o diodos) presentes en los convertidores; por ejemplo, cuando el interruptor se encuentra en conducción ($u = V$) y cuando no conduce ($u = F$).

Esta formulación permite que el cálculo de los estados dinámicos se exprese como una suma acumulativa de productos entre una constante y una señal del sistema condicionada por una variable lógica, lo cual resulta especialmente eficiente para su implementación en FPGA.

Cabe señalar que algunos interruptores, particularmente los diodos, pueden estar gobernados por condiciones dinámicas internas del circuito, como es el caso de la variable u_d . Por ejemplo, en los convertidores Buck y Boost-Buck, el estado del diodo depende del valor de la corriente del inductor i_L .

Las Tablas V, VI y VII presenta el análisis de latencia temporal asociado al cálculo de los estados dinámicos de los convertidores implementados en FPGA, específicamente el voltaje del capacitor $v_{C(k+1)}$ y la corriente del inductor $i_{L(k+1)}$.

TABLA V
ANÁLISIS DE LATENCIA EN EL CÁLCULO DE LOS ESTADOS DEL
CONVERTIDOR BOOST OPTIMIZADO

Convertidor boost	Estado calculado	
Pulsos de reloj	$V_{C(k+1)}$	$i_{L(k+1)}$
1	$a_1 = v_{Ck u1} \left(1 - \frac{T_s}{RC}\right)$	$b_1 = v_{in u4} \left(\frac{T_s}{L}\right)$ $b_2 = -v_{Ck u5} \left(\frac{T_s}{L}\right)$
	$a_2 = i_{Lk u2} \left(\frac{T_s}{C}\right)$	
	$a_3 = -i_{0k u3} \left(\frac{T_s}{C}\right)$	
2	$a_4 = a_1 + a_2$	$b_3 = b_1 + b_2$
3	$a_5 = a_3 + a_4$	$b_4 = b_3 + i_{Lk u6}$

Al comparar las tablas I y V del convertidor boost se observa que se requieren los mismos pulsos de reloj, pero son necesarias siete operaciones aritméticas en ambos estados mientras en la tabla del modelo optimizado necesita menos operaciones para completar los cálculos de estados.

En las Tablas II y VI correspondientes al convertidor Buck, el cálculo del estado $i_{L(k+1)}$ requiere cuatro pulsos de reloj y nueve operaciones aritméticas. En contraste, el modelo optimizado reduce este requerimiento a tres pulsos de reloj y cuatro operaciones aritméticas. Por su parte, el cálculo del estado $v_{C(k+1)}$ conserva el mismo número de operaciones aritméticas y de pulsos de reloj en ambos modelos.

En las tablas III y VII del convertidor boost-buck son

TABLA VI
ANÁLISIS DE LATENCIA EN EL CÁLCULO DE LOS ESTADOS DEL
CONVERTIDOR BUCK OPTIMIZADO

Convertidor buck	Estado calculado	
Pulsos de reloj	$V_{C(k+1)}$	$i_{L(k+1)}$
1	$a_1 = v_{Ck u1} \left(1 - \frac{T_s}{RC}\right)$	$b_1 = v_{in u4} \left(\frac{T_s}{L}\right)$ $b_2 = -v_{Ck u5} \left(\frac{T_s}{L}\right)$
	$a_2 = i_{Lk u2} \left(\frac{T_s}{C}\right)$	
	$a_3 = -i_{0k u3} \left(\frac{T_s}{C}\right)$	
2	$a_4 = a_1 + a_2$	$b_3 = b_1 + b_2$
3	$a_5 = a_3 + a_4$	$b_4 = i_{L u2} + b_3$

necesarios cinco pulsos de reloj, así como de diez operaciones aritméticas del estado $i_{L(k+1)}$, mientras con respecto al modelo optimizado que requiere solo tres pulsos de reloj y cuatro operaciones aritméticas haciéndolo más eficiente. Por su parte el cálculo del estado $v_{C(k+1)}$ son necesarios tres pulsos de reloj, así como siete operaciones aritméticas, mientras con

TABLA VII
ANÁLISIS DE LATENCIA EN EL CÁLCULO DE LOS ESTADOS DEL
CONVERTIDOR BOOST-BUCK OPTIMIZADO

Convertidor boost-buck	Estado calculado	
Pulsos de reloj	$v_{C(k+1)}$	$i_{L(k+1)}$
1	$a_1 = v_{Ck u1} \left(1 - \frac{T_s}{RC}\right)$	$b_1 = v_{in u4} \left(\frac{T_s}{L}\right)$ $b_2 = -v_{Ck u5} \left(\frac{T_s}{L}\right)$
	$a_2 = -i_{Lk u2} \left(\frac{T_s}{C}\right)$	
	$a_3 = -i_{0k u3} \left(\frac{T_s}{C}\right)$	
2	$a_4 = a_1 + a_2$	$b_3 = b_1 + b_2$
3	$a_5 = a_3 + a_4$	$b_4 = b_3 + i_{Lu6}$

respecto al modelo optimizado conserva el mismo número de pulsos de reloj y menos operaciones aritméticas.

IV. RESULTADOS

Para validar el modelo de los convertidores y su ejecución en FPGA, se realizaron tres pruebas en lazo abierto. Estas pruebas consistieron en comparar los resultados obtenidos con los de una simulación en PSIM.

Se aplicó una señal PWM a la variable u , con ciclos de trabajo del 25 % y 75 %. La simulación en PSIM se ejecutó en una computadora con sistema operativo Windows 10 y procesador Intel Core i7 a 2.80 GHz. Por otro lado, la simulación en hardware se llevó a cabo en una tarjeta de desarrollo **MyRIO 1900** programada con LabVIEW.

Como resultado, se obtuvieron las señales de corriente del inductor y voltaje del capacitor. La duración de la simulación en PSIM se estableció en 0.02 s (20 ms) para todos los casos analizados.

Adicionalmente, al definir el tiempo de muestreo (Δt), cada operación aritmética requiere un pulso de reloj para ejecutarse. Para ello, se utilizó un contador de *ticks*. Cada *tick* equivale a 25 ns, dado que la tarjeta MyRIO emplea un reloj interno de 40 MHz. Por lo tanto, la latencia del cálculo de una operación

básica corresponde a 25 ns, mientras que un cálculo compuesto por cuatro operaciones requiere 100 ns. Para representar las variables en formato de punto fijo y evitar una pérdida significativa de información, se empleó la notación UQ10.32. Este formato permite manejar un rango amplio de valores con 10 bits fraccionarios, lo que garantiza una adecuada precisión en los cálculos. Para la simulación de los convertidores tanto en FPGA como en PSIM se utilizaron los parámetros de la Tabla VIII.

TABLA VIII
PRESENTA LOS PARÁMETROS UTILIZADOS EN LOS TRES CONVERTIDORES

V_{in}	C	L	R
20 V	200 μ F	1mH	10 Ω

A continuación, se presentan las gráficas que comparan las respuestas obtenidas mediante el programa **PSIM** y la implementación en **FPGA**. La primera gráfica muestra la comparación directa de la señal, mientras que la segunda presenta la diferencia entre ambas señales (error) y su promedio.

Las Figs. 4 a 7 ilustran los resultados del convertidor **Boost**, correspondientes al voltaje del capacitor y la corriente del inductor, para ciclos de trabajo de la variable **u** del 25 % y 75 %.

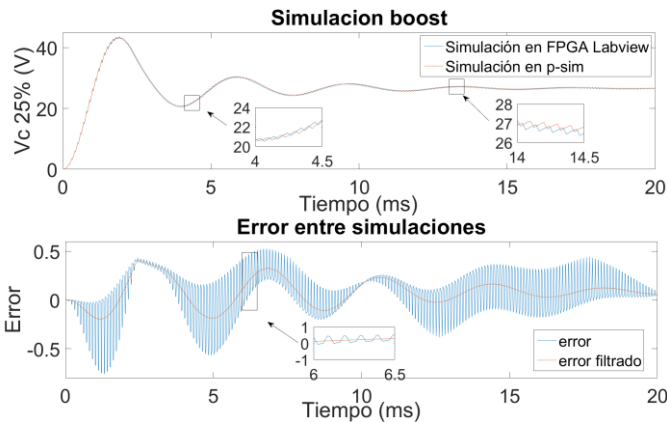


Fig. 4. Resultados de la señal v_c del convertidor Boost y error con u al 25%.

Para un ciclo de trabajo del 25 %:

- Voltaje: error de 0.06 % en estado estable y 0.00156 % en fase de arranque.
- Corriente: error de 0.002 % en estado estable y 0.0184 % en fase de arranque.

Para un ciclo de trabajo 75 %:

- Voltaje: error de 2.34 % en estado estable y 1.5 % en fase de arranque.
- Corriente: error de 1.75 % en estado estable y 1.42 % en fase de arranque.

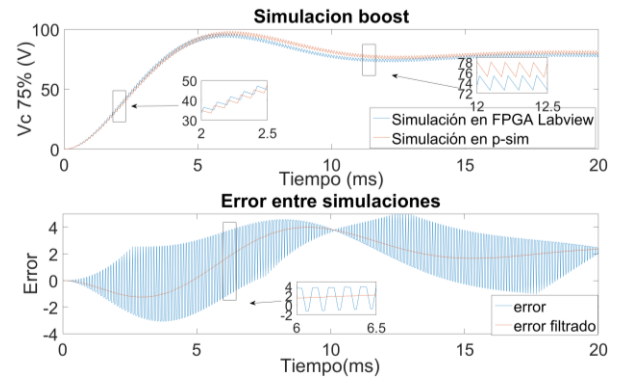


Fig. 5. Resultados de la señal v_c en el convertidor Boost y error con u al 75%.

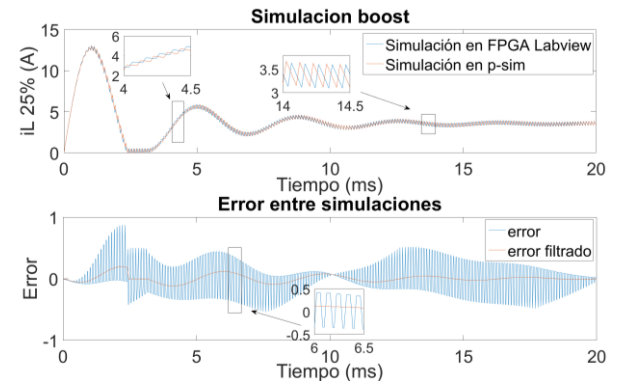


Fig. 6. Resultados de la señal i_L en el convertidor Boost y error con u al 25%.

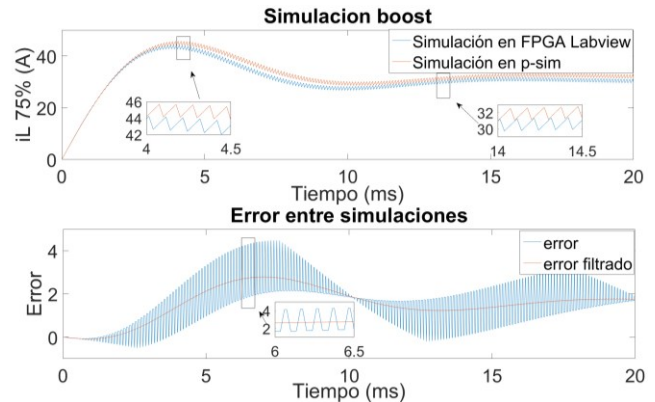


Fig. 7. Resultados de la señal i_L en el convertidor Boost y error con u al 75%.

En las Figs. 8 a 11 se presentan los resultados obtenidos para el convertidor Buck.

Para un ciclo de trabajo del 25 %:

- Voltaje: error de 0.0514 % en estado estable y 0.0683 % en la fase de arranque.
- Corriente: error de 0.00105 % en estado estable y 0.0155 % en la fase de arranque.

Para un ciclo de trabajo del 75 %:

- Voltaje: error de 0.148 % en estado estable y 0.233 % en la fase de arranque.
- Corriente: error de 0.00899 % en estado estable y 0.0364 % en la fase de arranque.

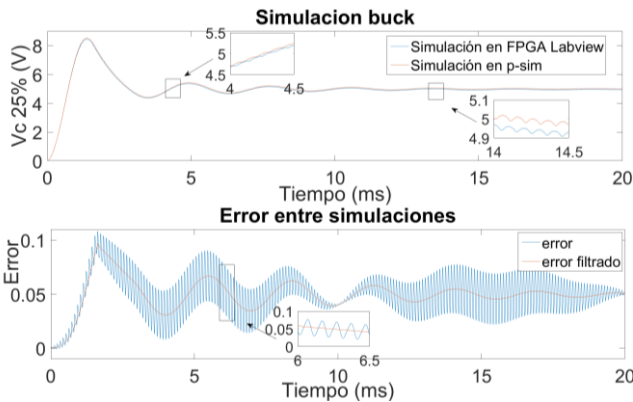


Fig. 8. Resultados de la señal v_c en el convertidor Buck y error con u al 25%.

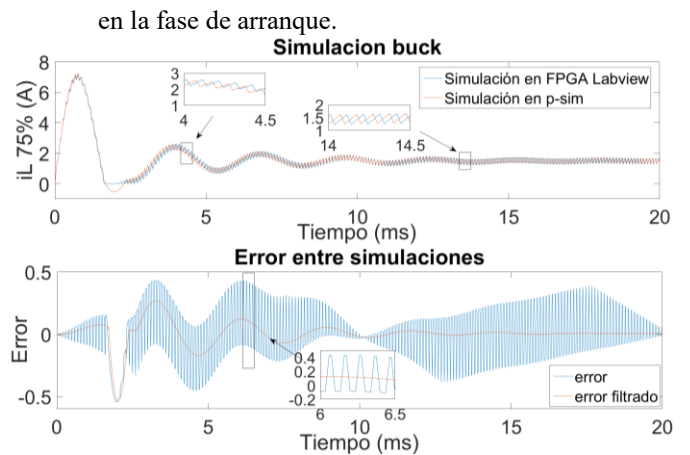


Fig. 11. Resultados de la señal i_L en el convertidor Buck y error con u al 75%.

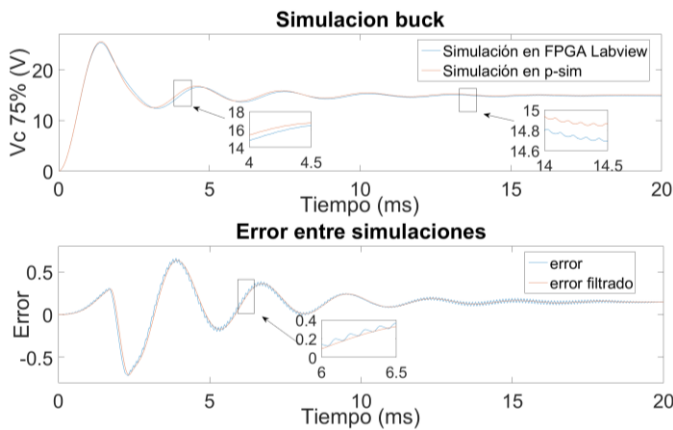


Fig. 9. Resultados de la señal v_c en el convertidor Buck y error con u al 75%.

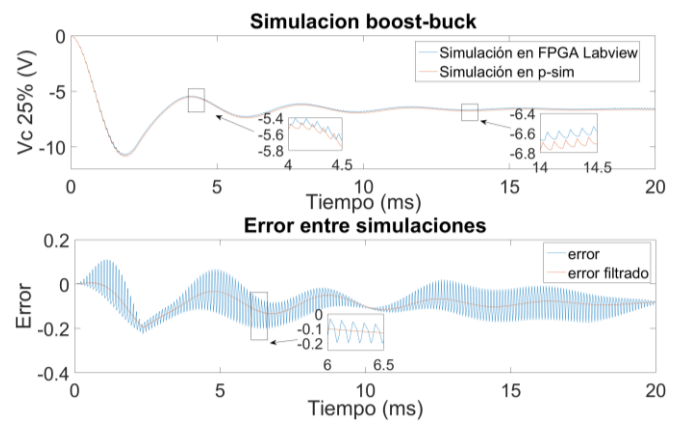


Fig. 12. Resultados de la señal v_c en el convertidor Boost-Buck y error con u al 25%.

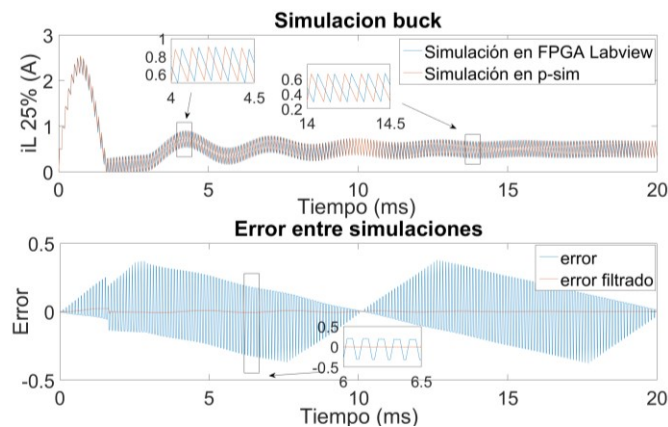


Fig. 10. Resultados de la señal i_L en el convertidor Buck y error con u al 25%.

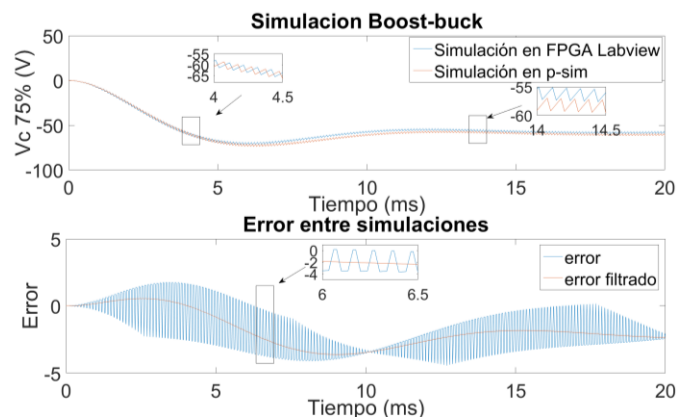


Fig. 13. Resultados de la señal v_c en el convertidor Boost-Buck y error con u al 75%.

En las Figs. 12 a 15 se muestran los resultados obtenidos para el convertidor Boost-Buck.

Para un ciclo de trabajo del 25 %:

- Voltaje: error de 0.0834 % en estado estable y 0.16 % en la fase de arranque.
- Corriente: error de 0.012 % en estado estable y 0.0275 % en la fase de arranque.

Para un ciclo de trabajo del 75 %:

- Voltaje: error de 2.35 % en estado estable y 1.99 % en la fase de arranque.
- Corriente: error de 1.55 % en estado estable y 1.45 %

En la Tabla IX se presentan los errores máximos y mínimos promediados obtenidos para las señales de los convertidores. Estos valores se calcularon considerando ciclos de trabajo del 25 % y del 75 %.

En los resultados de las simulaciones se observa que, al incrementar el voltaje y la corriente debido al aumento del ciclo de trabajo en la ejecución sobre FPGA, también se incrementa el error en los convertidores con respecto a la

TABLA IX
ERROR MÁXIMO Y MÍNIMO DE CONVERTIDORES

CONVERTIDORES	v_c al 75%	i_L al 75%	v_c al 25%	i_L al 25%
BOOST	4.01% máx 0.00000199% min	2.8% máx 0.0000511% min	0.408% máx 0.00000199% min	0.199% máx 0.00000851% min
BUCK	0.633% máx 0.000075% min	0.271% máx 0.0000022% min	0.0965% máx 0.000075% min	0.0286% máx 0.00000396% min
BOOST-BUCK	0.577% máx 0.0000001% min	2.36% máx 0.0000456% min	0.00695% máx 0.0000001% min	0.0672% máx 0.00000376% min

simulación realizada en PSIM.

Este comportamiento se atribuye a las limitaciones de precisión en los cálculos efectuados en formato de punto fijo dentro de la FPGA.

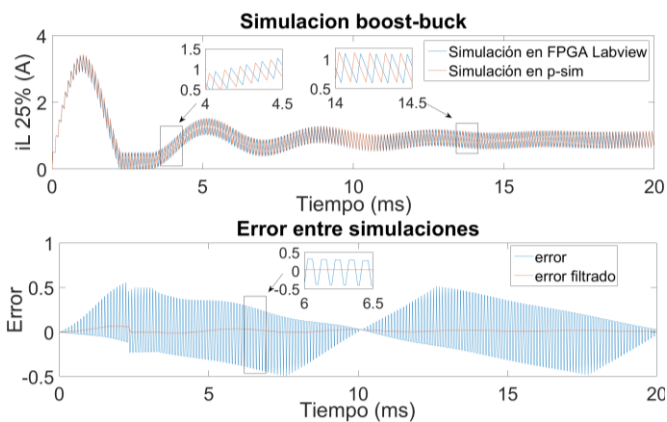


Fig. 14. Resultados de la señal i_L en el convertidor Boost-Buck y error con u al 25%.

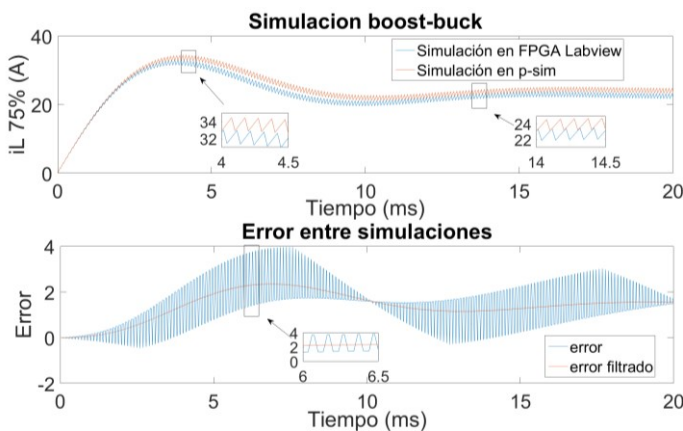


Fig. 15. Resultados de la señal i_L en el convertidor Boost-Buck y error con u al 75%.

V. CONCLUSIÓN

La implementación de modelos discretizados de convertidores DC-DC en plataformas FPGA mediante LabVIEW constituye una alternativa eficiente para la simulación de sistemas electrónicos de potencia. El modelado detallado y la discretización matemática permiten reproducir con alta precisión el comportamiento dinámico de los convertidores

Boost, Buck y Boost-Buck. Este enfoque no solo incrementa la velocidad de simulación frente a métodos tradicionales basados en software, sino que también posibilita la evaluación de los modelos bajo condiciones críticas sin comprometer componentes físicos.

Como trabajo futuro, se propone la simulación de diferentes tipos de convertidores utilizando esta metodología como son el CUK, Superlift LUO, etc, lo que permitirá observar el desempeño de los modelos en escenarios operativos más cercanos a los de un sistema real, favoreciendo su aplicación en entornos de prueba Hardware-in-the-Loop (HIL).

REFERENCIAS

- [1] O. Bautista, Á. Bernal, A. Pantoja, et al., "FPGA implementation of a PV generator and a boost converter controllers for a virtual laboratory environment," *Iran. J. Sci. Technol., Trans. Electr. Eng.*, vol. 48, pp. 533–551, 2024, doi: 10.1007/s40998-024-00704-2.J.
- [2] J. R. Camarillo-Peñaranda, M. Aredes, and G. Ramos, "Hardware-in-the-loop testing of a distance protection relay," *IEEE Trans. Ind. Appl.*, vol. 57, no. 3, pp. 2326–2331, May/June 2021, doi: 10.1109/TIA.2021.3066328.
- [3] L. Estrada, N. Vázquez, J. Vaquero, Á. de Castro, and J. Arau, "Real-time hardware-in-the-loop simulation methodology for power converters using LabVIEW FPGA," *Energies*, vol. 13, no. 2, Art. no. 373, 2020, doi: 10.3390/en13020373.
- [4] A. Francés, R. Asensi, Ó. García, R. Prieto, and J. Uceda, "Modeling electronic power converters in smart DC microgrids—An overview," *IEEE Trans. Smart Grid*, vol. 9, no. 6, pp. 6274–6287, Nov. 2018, doi: 10.1109/TSG.2017.2707345.
- [5] M. H. Cervantes, M. C. G. Ramírez, J. C. Gómez, A. C. T. Anguiano, and F. M. Cárdenas, "Real-time simulation of a buck converter for educational purposes in a LabVIEW-programmed FPGA," in *Proc. IEEE Int. Autumn Meeting Power, Electron. Comput. (ROPEC)*, Ixtapa, Mexico, 2014, pp. 1–6, doi: 10.1109/ROPEC.2014.7036306.
- [6] M. H. Cervantes, M. C. G. Ramírez, F. M. Cárdenas, A. C. Téllez Anguiano, and J. Correa Gómez, "LabVIEW FPGA-programmed real-time simulation of a closed-loop DC–DC converter," in *Proc. IEEE Int. Autumn Meeting Power, Electron. Comput. (ROPEC)*, Ixtapa, Mexico, 2015, pp. 1–6, doi: 10.1109/ROPEC.2015.7395108.
- [7] M. H. Cervantes, A. de C. Téllez Anguiano, J. Anzures Marín, E. Espinosa Juárez, M. C. G. Ramírez, and J. Correa Gómez, "Real-time simulation of a Luenberger observer applied to DC–DC converters," *IEEE Latin America Trans.*, vol. 16, no. 3, pp. 981–986, Mar. 2018, doi: 10.1109/TLA.2018.8358682.

- [8] M. H. Cervantes, M. C. G. Ramírez, A. C. Téllez-Anguiano, F. M. Cárdenas, J. C. Gómez, and A. M. Patiño, "Design of a hardware-in-the-loop scheme in DC-DC converters using LabVIEW FPGA," in Proc. IEEE Int. Autumn Meeting Power, Electron. Comput. (ROPEC), Ixtapa, Mexico, 2020, pp. 1-6, doi: 10.1109/ROPEC50909.2020.9258691.
- [9] Ó. Lucía, I. Urriza, L. A. Barragán, D. Navarro, Ó. Jiménez, and J. M. Burdío, "Real-time FPGA-based hardware-in-the-loop simulation test bench applied to multiple-output power converters," IEEE Trans. Ind. Appl., vol. 47, no. 2, pp. 853-860, Mar./Apr. 2011, doi: 10.1109/TIA.2010.2102997.
- [10] M. Baghdadi, E. Elwarraki, and I. Ait Ayad, "FPGA-based hardware-in-the-loop emulation of power electronics circuits using device-level behavioral modeling," Designs, vol. 7, no. 5, Art. no. 115, 2023, doi: 10.3390/designs7050115.
- [11] E. M. Cirugeda-Roldán, M. S. Martínez-García, A. Sánchez, and Á. de Castro, "Evaluation of numerical formats for hardware-in-the-loop models of power converters," Electronics, vol. 10, no. 16, Art. no. 1952, Aug. 2021, doi: 10.3390/electronics10161952.
- [12] B. M. Hasaneen and A. A. Elbaset Mohammed, "Design and simulation of DC/DC boost converter," in Proc. 12th Int. Middle East Power Syst. Conf. (MEPCON), Aswan, Egypt, 2008, pp. 335-340, doi: 10.1109/MEPCON.2008.4562340.
- [13] F. F. Valderrama, H. Moreno, and H. M. Vega, "Análisis, simulación y control de un convertidor de potencia," Ingenium, vol. 12, no. 24, pp. 44-55, Jul. 2011. [Online]. Available: <https://www.researchgate.net/publication/322071549>.
- [14] R. Aliaga, J. Muñoz, F. Cadena, and J. Guzmán, "Voltage source converter-based STATCOM with predictive and fuzzy control," in Proc. IEEE Int. Conf. Autom. (ICA-ACCA), Curicó, Chile, 2016, pp. 1-7, doi: 10.1109/ICA-ACCA.2016.7778469.
- [15] R. Orosco Guerrero, E. J. J. Rodríguez Segura, J. J. Martínez Nolasco, and F. Rodríguez, "Low-cost and optimized FPGA-HIL real-time simulation of a boost converter powered by a photovoltaic panel," IEEE Latin America Trans., vol. 22, no. 11, pp. 962-970, Nov. 2024, doi: 10.1109/TLA.2024.1073827.



and DC microgrids.

Aaron Ivan Granjeno Gomez obtained his bachelor's degree in electronic engineering from the Technological Institute of Celaya, Guanajuato, Mexico, in 2021, and is currently pursuing a Master of Science degree in Electronic Engineering at the same institution. There, he is conducting research in power electronics, focusing on HIL simulation



Rodolfo Orosco Guerrero has been a professor at the Instituto Tecnológico de Celaya for 31 years, teaching engineering and postgraduate courses in electronics. He received his B.S. degree in Electronics Engineering from the Instituto Tecnológico de Celaya in 1992; M.S. degree in Electrical Engineering from the Universidad de Guanajuato in 2001; and

Ph.D. in Electrical Engineering from the Centro de Investigación y Estudios Avanzados del Instituto Politécnico Nacional (CINVESTAV), Zacatenco unit in Mexico City in 2003. He has taught PLC programming courses for the past 25 years, from basic ladder diagram programming to advanced GRAFCET-based sequential logic controller design. In 2012 he developed a standard for PLC programs for the automated processes of the company KOSTAL de México located in the city of Querétaro. Currently his area of interest is oriented to the fields of instrumentation and control of power systems, industrial automation, and control of renewable energy systems. Other interests in the teaching field of the development of professional competences stand out, such as: Developing innovative teaching and learning strategies, as well as evaluation tools that allow evaluating the scope of professional competences.



Elias José Juan Rodríguez Segura received the B.Sc. degree in electronics engineering from the Universidad Autónoma Metropolitana, México City, México, in 1994, and the M.Sc. and Ph.D. degrees in electronics engineering from the Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), Cuernavaca, Mexico, in 1996 and 1999,

respectively. He is currently a Professor and Researcher in the Department of Electronics Engineering, Tecnológico Nacional de México, Celaya, México, where he teaches and conducts research in power electronics since 1999. His fields of interest are high-frequency power conversion, high-power-factor rectifiers, and DC microgrids.



Fany Rodríguez García has been a professor at the Instituto Tecnológico de Celaya for 30 years, teaching engineering courses in electronics. She received her B.S. degree in Electronics Engineering from the Instituto Tecnológico de Celaya in 1992; Studies in Electrical Engineering from the Universidad de Guanajuato; MED from the UTEL in 2019. Currently his area

of interest is oriented to the fields of instrumentation, linear control and semiconductors. Her interests in the teaching field of the development of professional competences stand out, such as: Developing innovative teaching and learning strategies, as well as evaluation tools that allow evaluating the scope of professional competences.



José Heriberto Rodríguez Estrada earned a bachelor's degree in electronic engineering and a Master of Science degree in Electronic Engineering from the Celaya Institute of Technology. He obtained a master's degree in electrical engineering from the Autonomous University of San Luis Potosí and a

Doctorate in Electronic Engineering from the National Technological Institute of Mexico in Celaya. He is currently a full-time professor in the Department of Mechatronics Engineering at the Celaya campus of the National Technological Institute of Mexico. His industry experience includes maintenance and project work in areas such as automation and control, drivers and motors, medium and high voltage, mechanics, hydraulics, and pneumatics. His areas of interest are power converter design, renewable energy, electrical machines, and automatic control.